

低消費電力プロセッサ・ 回路技術とその動向

(株)ルネサステクノロジ

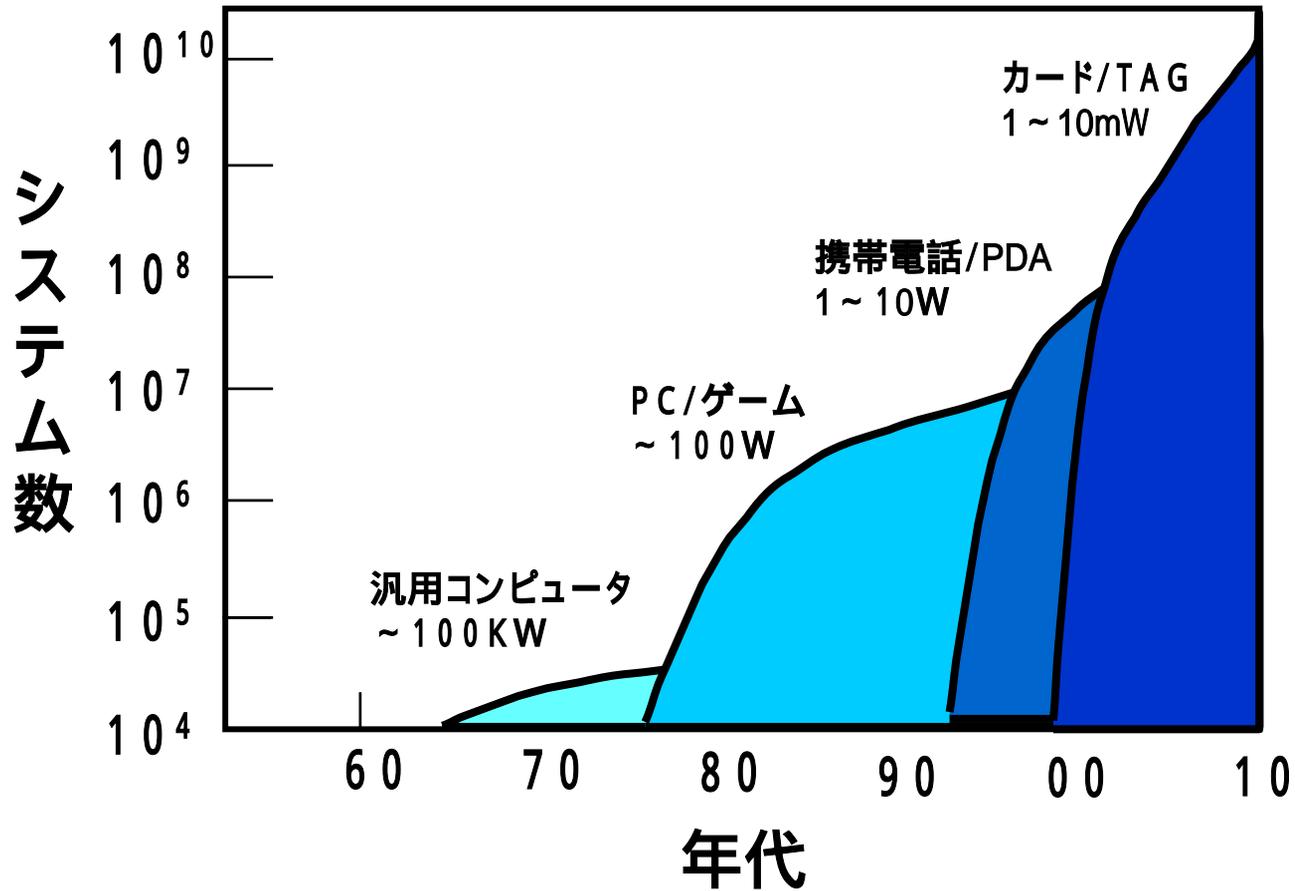
石橋 孝一郎

ishibashi.koichiro@renesas.com

内 容

- ➡ SoCの低電力化の必要性
- ➡ CMOSデバイスの特性と回路の特性の関係
- ➡ CMOSデバイスの特性とプロセッサの消費電力の関係
- ➡ ITRSによるデバイスの定義とSoCの消費電力の見積
- ➡ 代表的な論理回路の低電力化回路技術
- ➡ 低電力プロセッサの技術動向

半導体アプリケーションの変遷

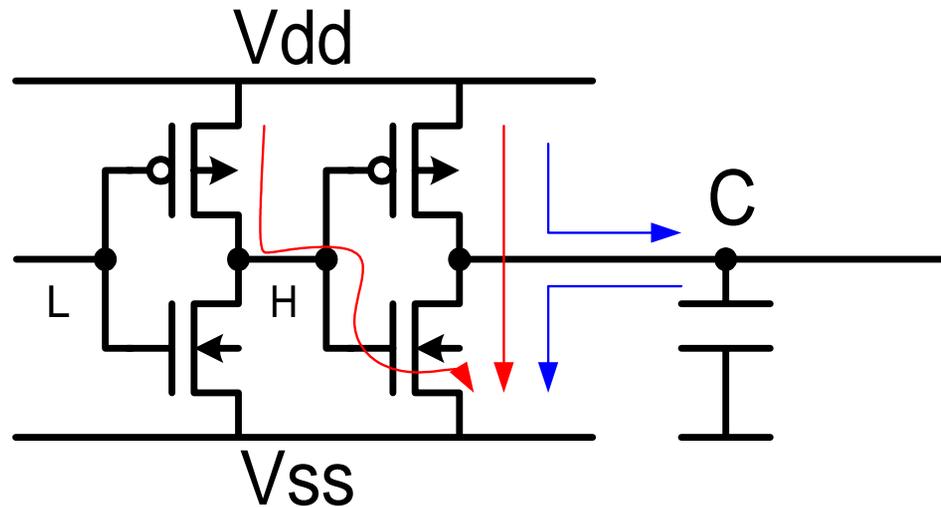


SoCの低電力化の必要性

- ▶ **高性能分野 (デスクトップPC, ゲーム機等)**
 - ▶ 発熱の低減 実装コストの低減
 - ▶ 電源IRドロップの低減、クロックスキュー低減
 - ▶ エコロジカルの観点
- ▶ **携帯分野 (携帯電話、PDA等)**
 - ▶ 機器の小型化、長時間動作
- ▶ **新アプリケーション (カード、TAG、センサーネットワーク等)**
 - ▶ 微弱電源による動作 (が前提)

CMOSデバイスの特性と回路特性との関係

CMOSゲートの消費電力の要因



$$P = C V^2 f + I_L V \quad I_L : \text{リーク電流}$$

AC成分

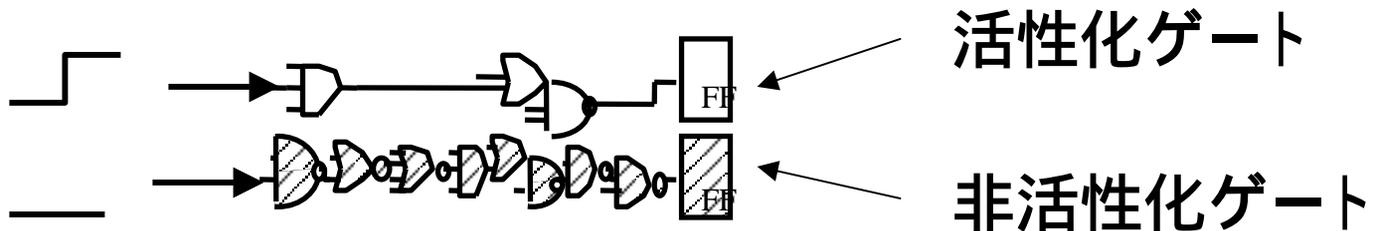
DC成分

論理回路の消費電力

$$P = A N_t C V^2 f + N_t I_L V$$

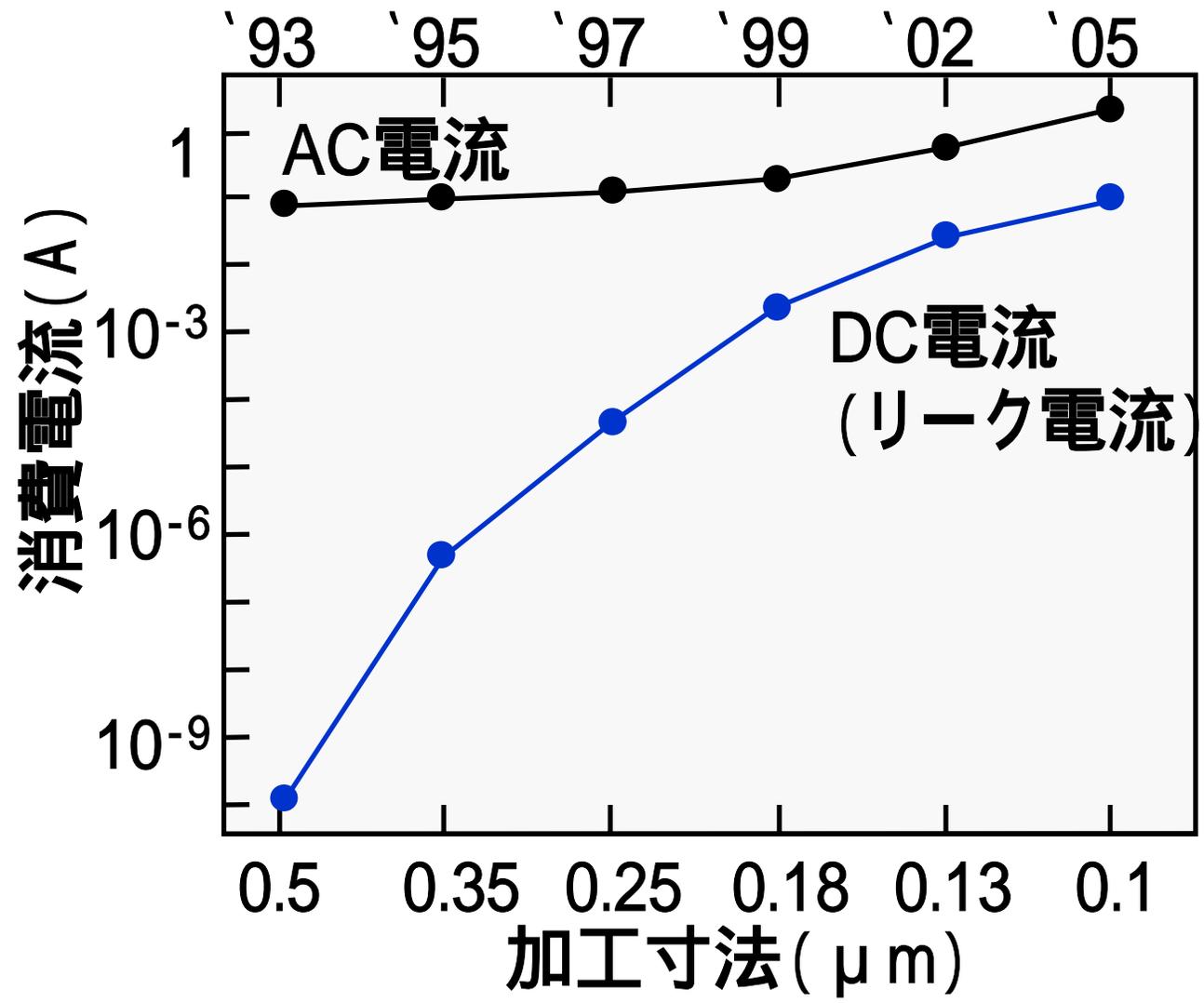
A: 活性化率

N_t : 全ゲート数



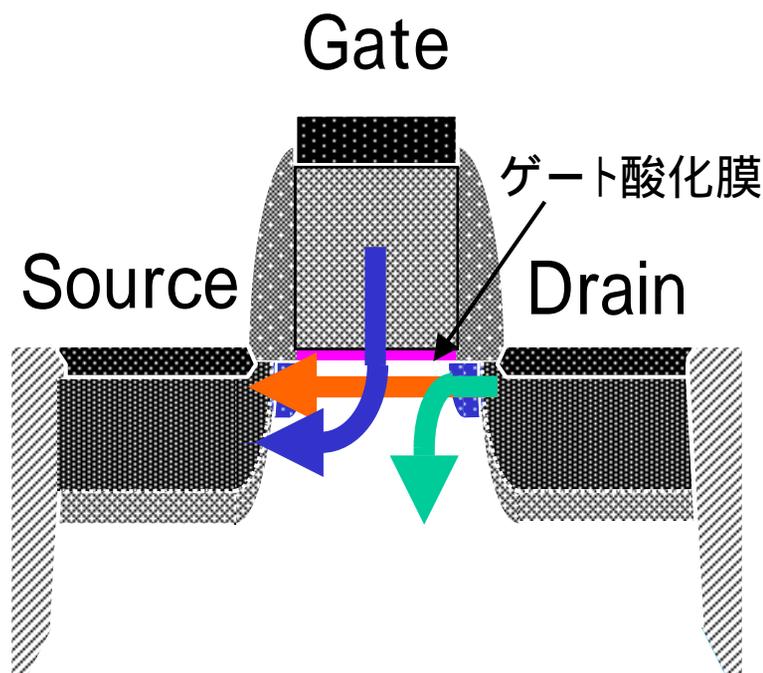
- ◆ AC電流は動作したゲートだけ流れる
- ◆ DC電流(リーク電流)は回路が動作しなくても全ゲートに流れる

LSIの動作電流



◆ AC電流だけでなくDC電流が問題になりつつある

トランジスタのリーク電流経路



MOSリーク電流経路

サブスレッショルド電流

ドレインからソースに流れるチャネルリーク成分

ゲートトンネル電流

ゲートからソースに流れるトンネル電流成分

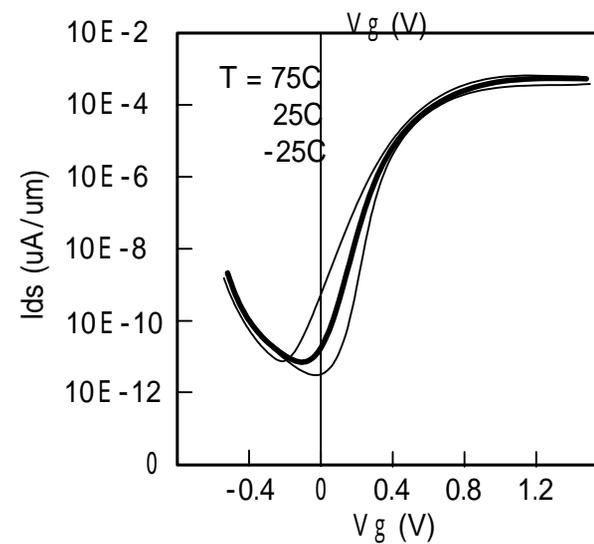
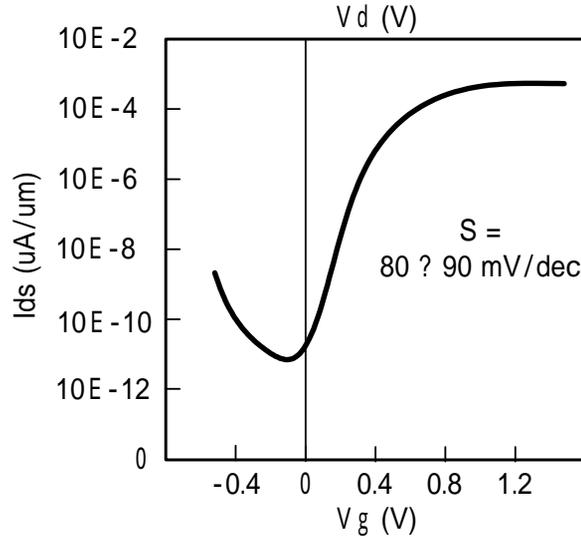
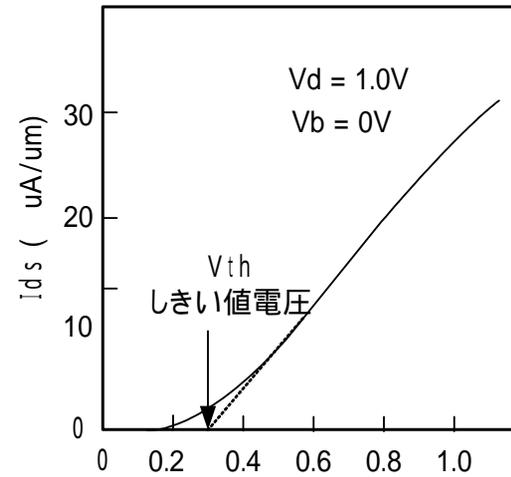
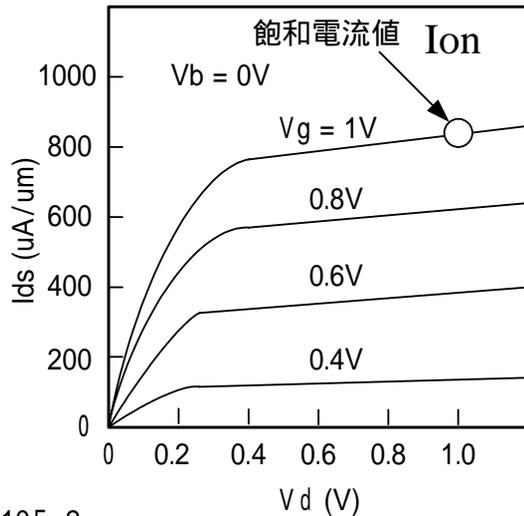
GIDL (接合リーク電流)

ドレインから基板に流れる接合リーク成分

*Gate Induced Drain Leakage

- ◆ リーク電流の種類により電源電圧依存性、温度依存性が異なる

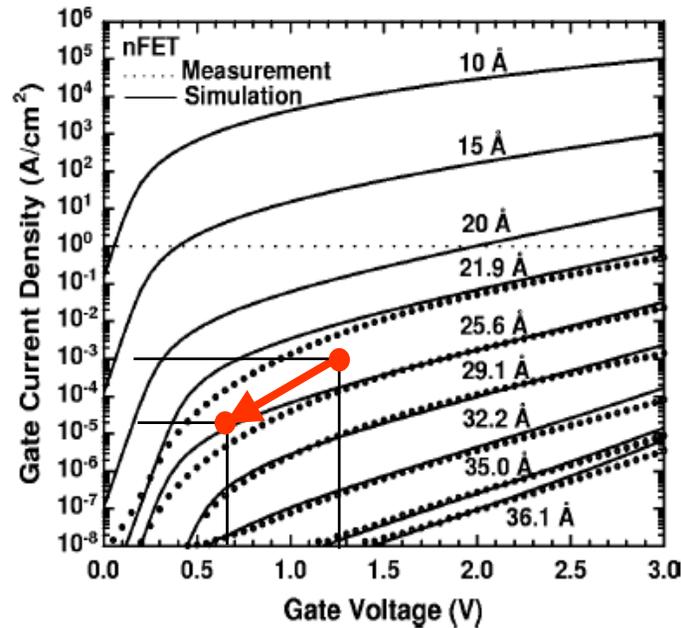
トランジスタの特性



◆ サブスレッショルド電流は温度依存性が大きい

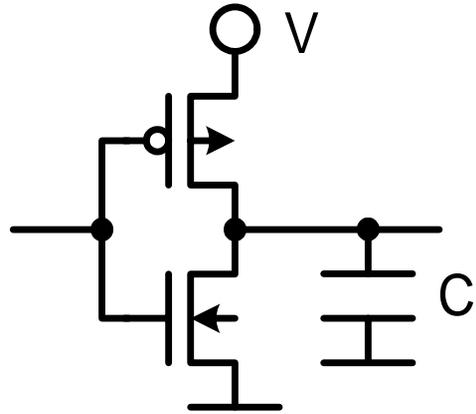
ゲートトンネル電流

- ◆ 酸化膜厚に対して大きく変動
- ◆ 電圧依存性大
- ◆ 温度依存性小



Ref.S.H.Lo et al.,

ゲート遅延とトランジスタ特性



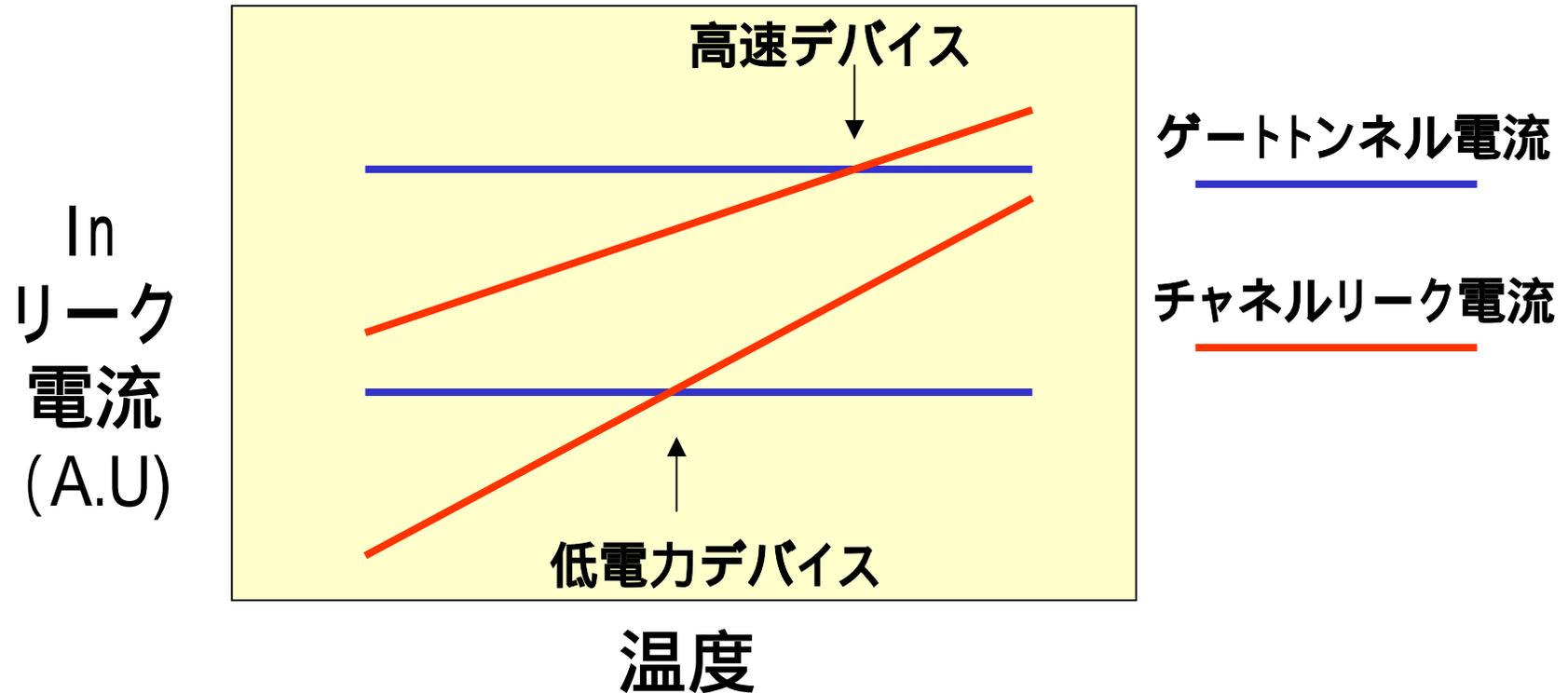
CV / I_{on}

- ◆ I_{on} の増加により遅延時間は減少

$$I_{on} \propto (V_g - V_{th}) / T_{ox}$$

- ◆ I_{on} は酸化膜厚(T_{ox})が薄いほど、しきい値電圧(V_{th})が小さいほど増加
 I_{on} の増加はリーク電流が増加する要因

低電力デバイスの設計



- ◆ 高速デバイスはリークを大きくして高速化
- ◆ 両者とも、温度上昇とともにリーク電流大

デバイスの特性ばらつき

- MOSFETの V_{th} ばらつき, 温度変化の影響を表す式

$$\Delta V_{th} = \Delta V_{th}(L_g) + \Delta V_{th}(N_A) + V_{th}(Temp.) \dots\dots V_{th}(LER)$$

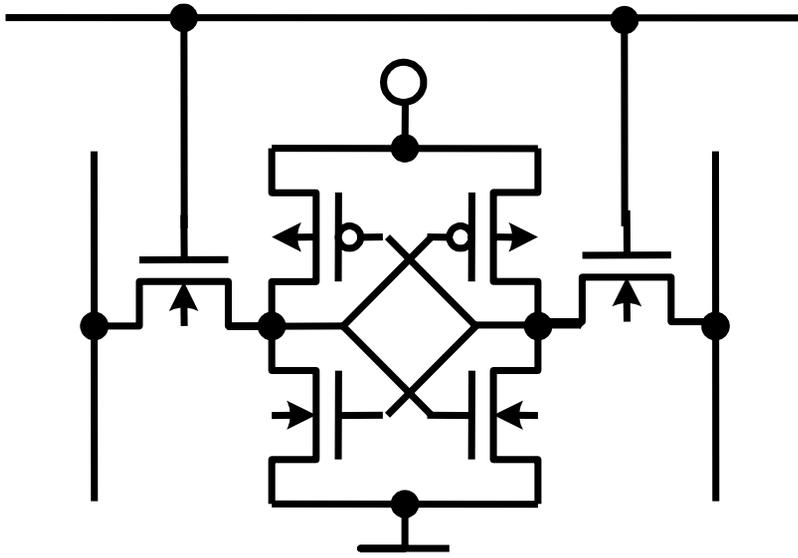
ゲート長の
変動

不純物の
揺らぎ

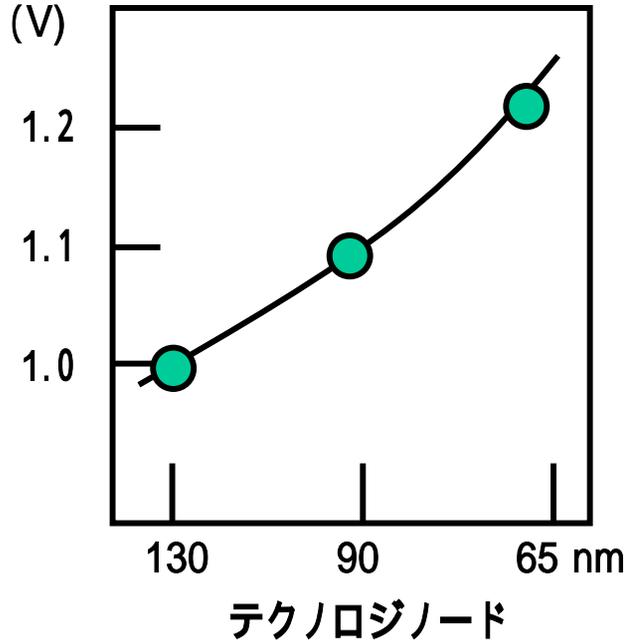
温度の影響

LER (Line Edge
Roughness)の影響

ばらつきの低電力化に対する影響



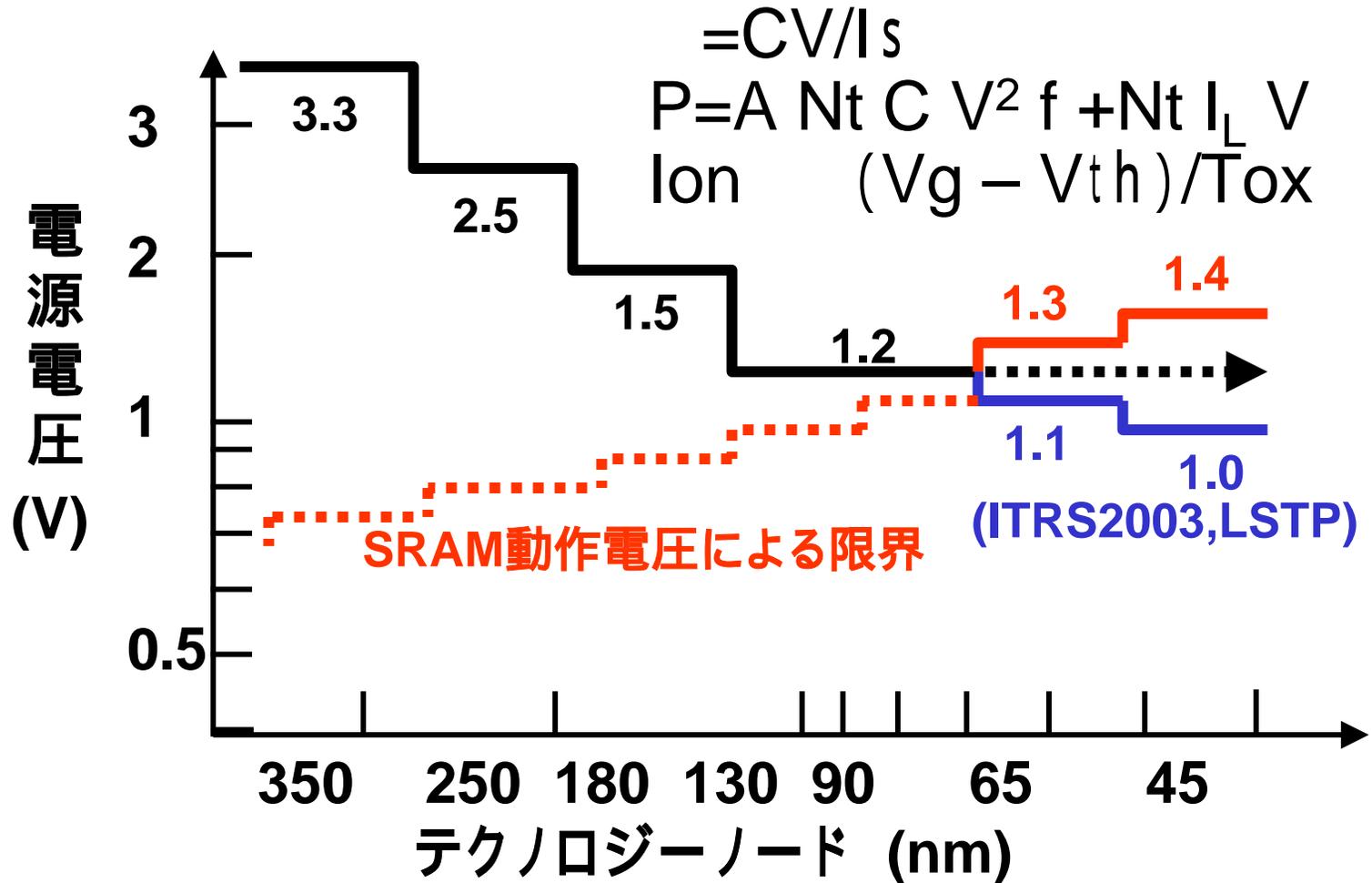
SRAM
動作電圧
(V)



- ◆ オンチップSRAMの低電圧動作が困難

LSIの低電圧動作の阻害要因

低電力LSIの電源電圧

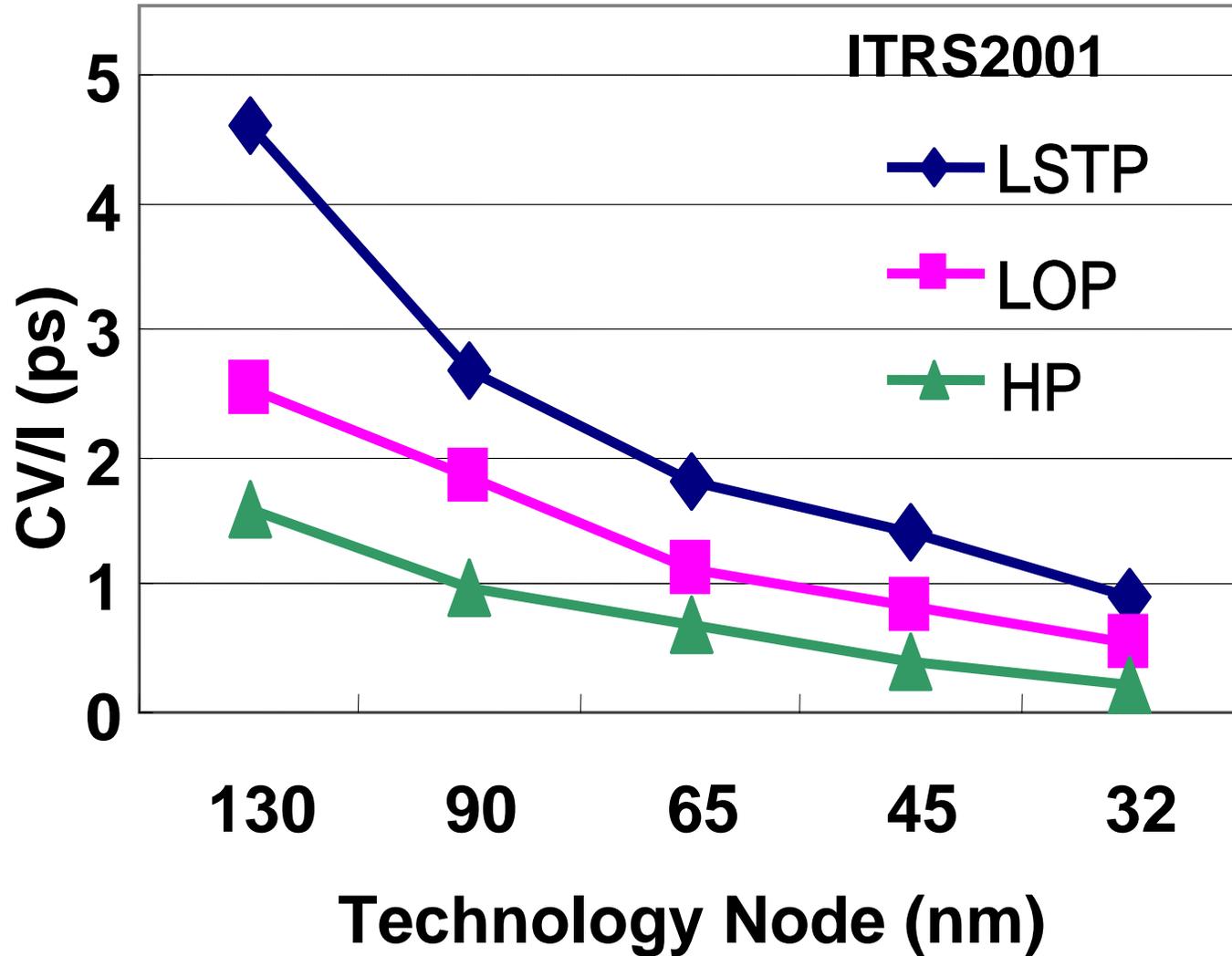


- ◆ 90nmまでは、低電圧化により、高速化、低電力化を達成 (低電界スケールリング)
- ◆ 90nm以降、リーク電流と、メモリ動作によりの低電圧動作が困難になり、低電圧化による、高速化、低電力化は難しくなった

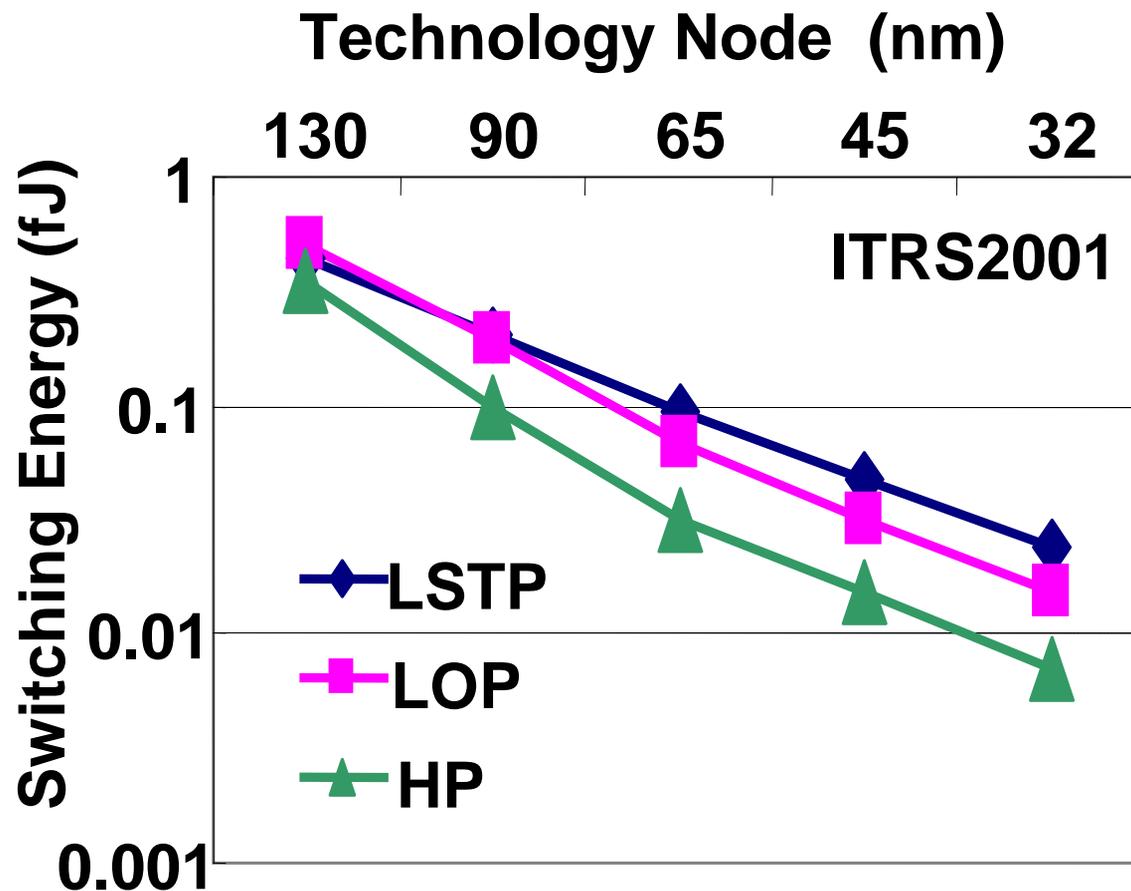
ITRSによるデバイス定義

- ➡ HP (High Performance)
- ➡ LOP (Low Operating Power)
- ➡ HSTP (Low Standby Power)

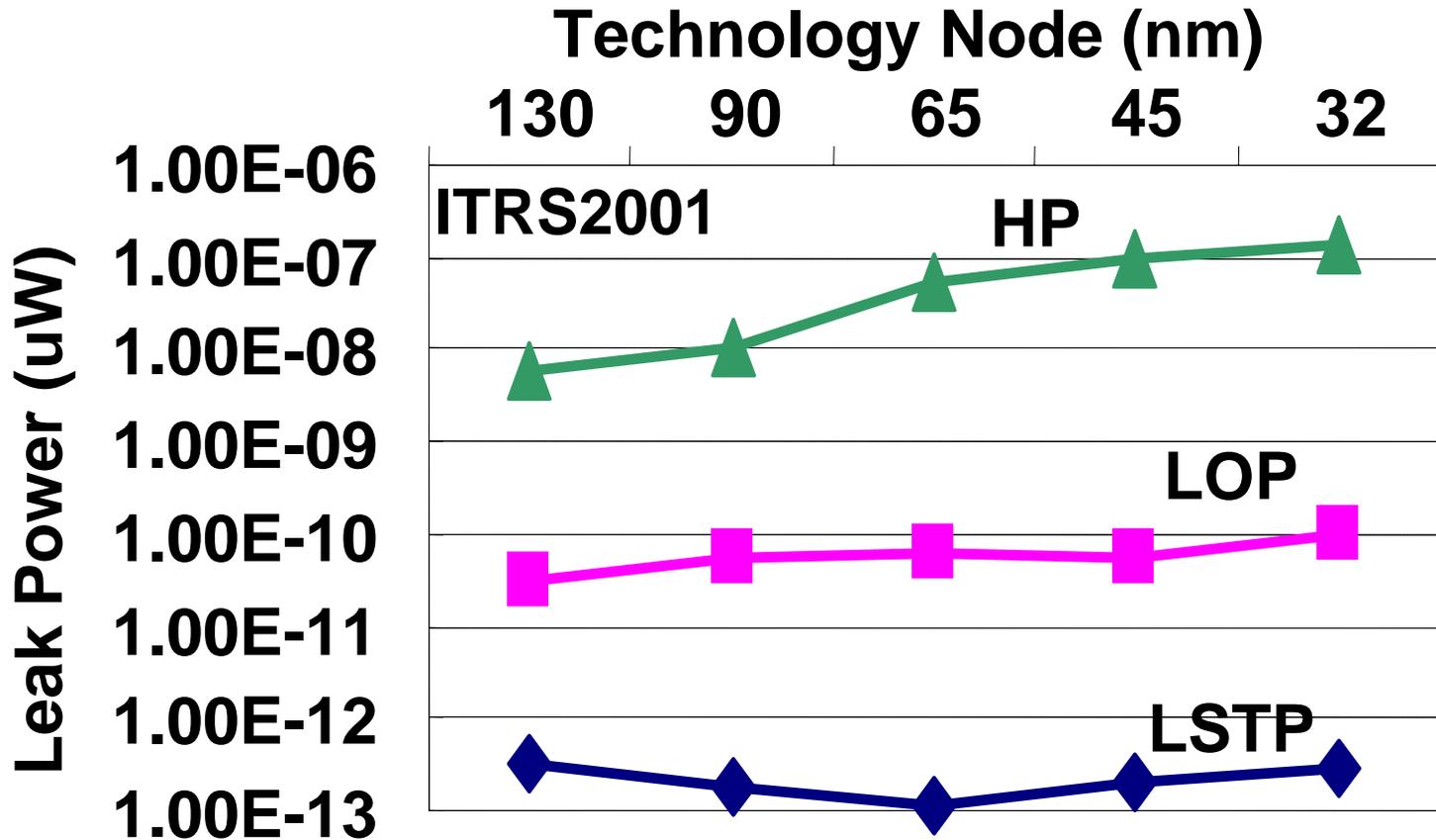
トランジスタの性能



ゲートのスイッチングエネルギー



リークによる電力

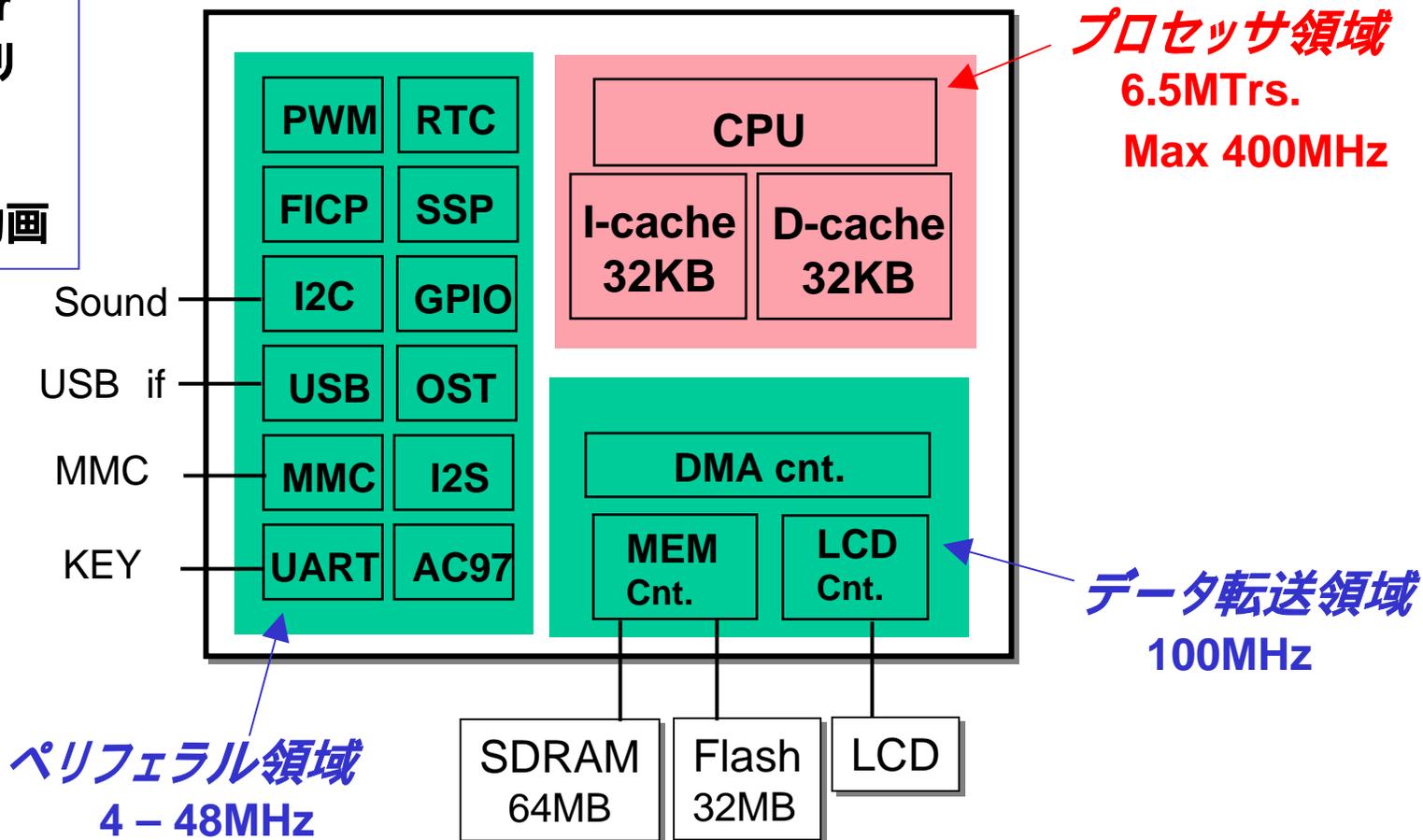


PDA用SoC(ベンチマーク)

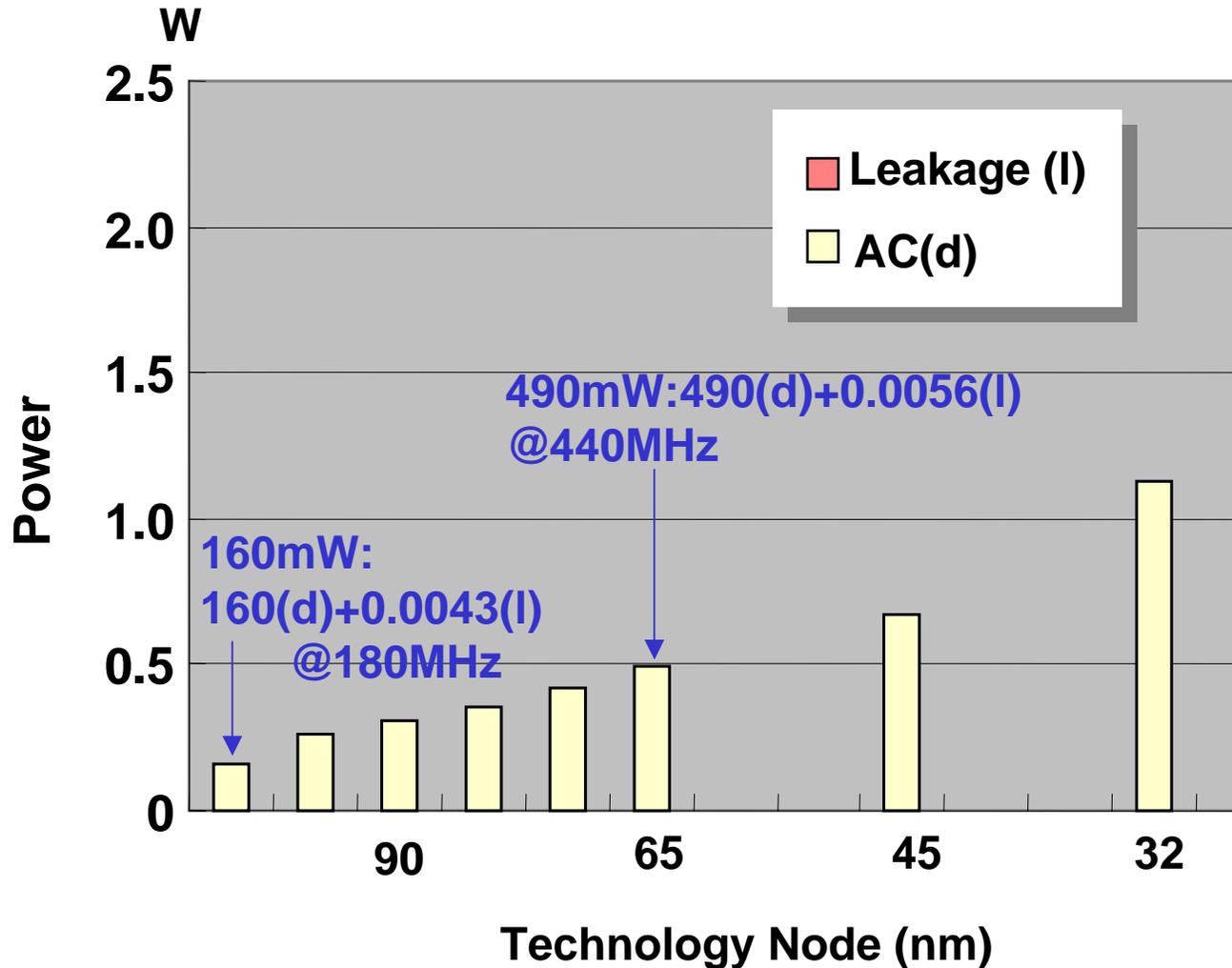
機器仕様

- ・使用時間
6-10Hr
- ・MMアプリ
MP3
JPEG
簡易動画

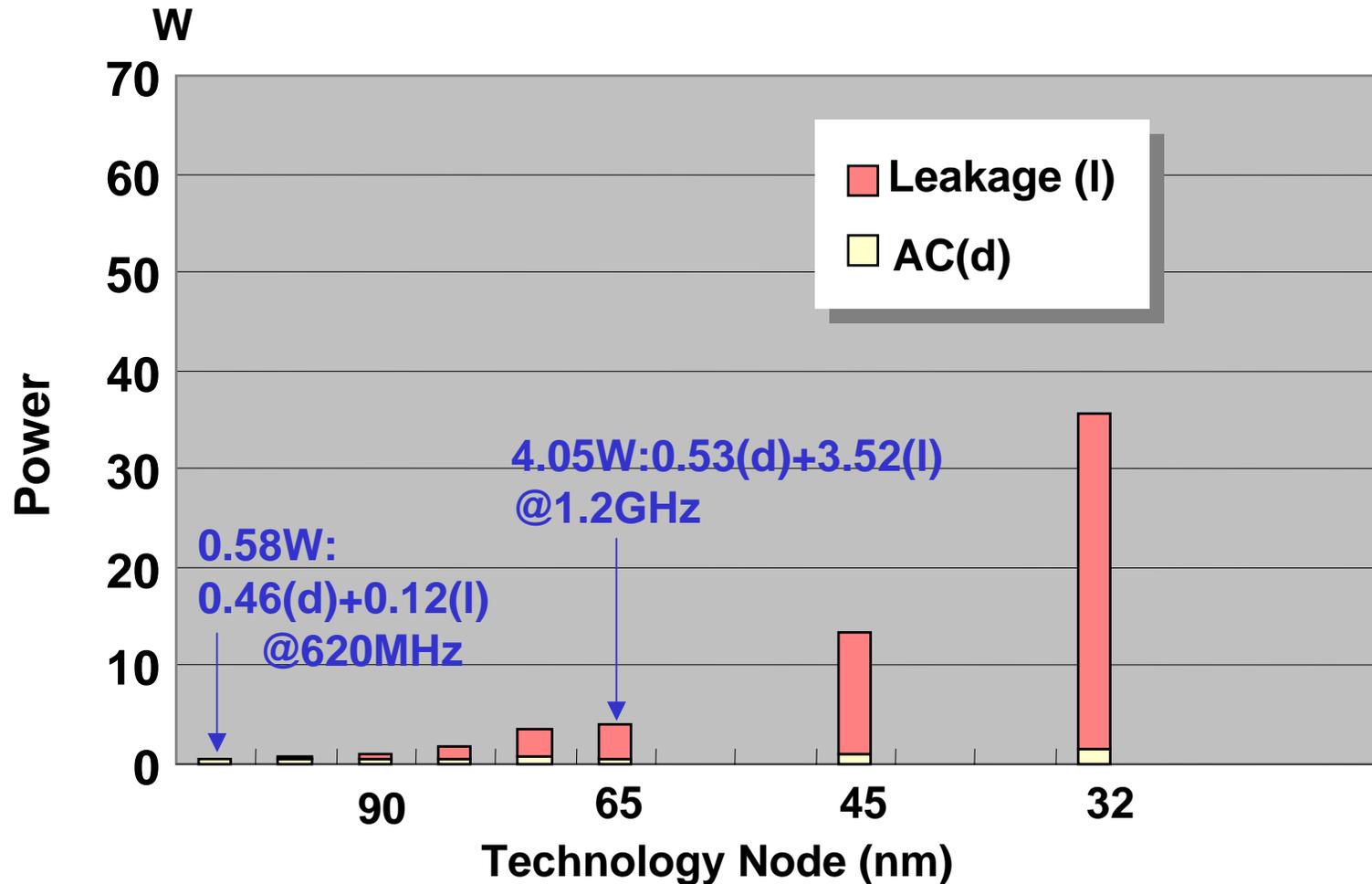
0.18um / 400MHz / 470mW (typ.)



PDA 用SoCの消費電力(LSTP)



PDA 用SoCの消費電力(HP)



SoCの電力効率

➔ HSTP

➔ $490\text{mW}/440\text{MHz} = 1.1 \text{ mW/MHz}$ (Total)

➔ HP

➔ $4050 \text{ mW}/1200 \text{ MHz} = 3.4 \text{ mW/MHz}$ (Total)

➔ $530 \text{ mW}/1200 \text{ MHz} = 0.4 \text{ mW/MHz}$ (AC)

➔ $3520 \text{ mW}/1200 \text{ MHz} = 2.9 \text{ mW/MHz}$ (DC)

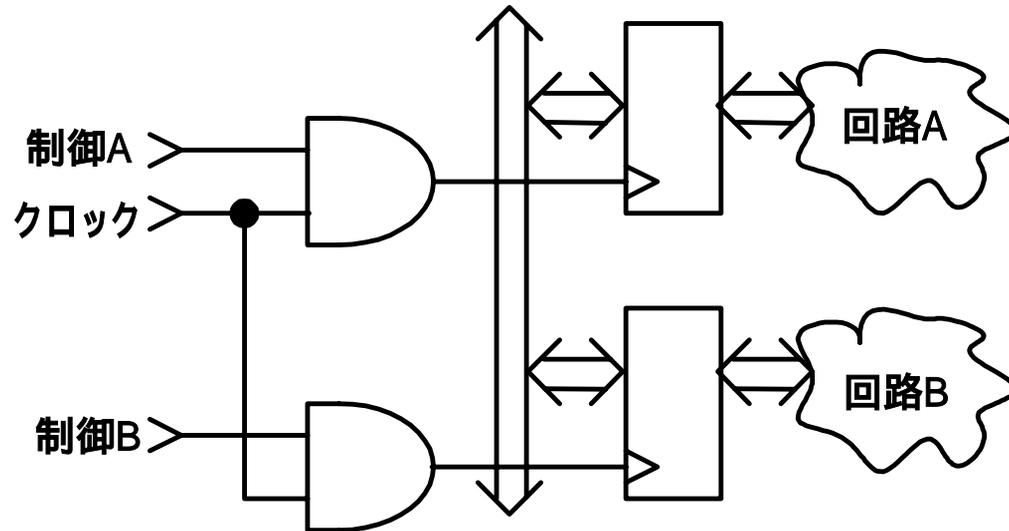
◆ HPの方がACの効率は高いが、DC成分のためにHSTPの方がトータルの効率が高い

代表的な論理回路の低電力化回路技術

- ➡ クロックゲーティング
- ➡ Dual VT 技術 (リーク低減技術)
- ➡ 静的基板バイアス技術
- ➡ 動的基板バイアス技術
- ➡ 電源遮断技術

クロックゲーティング

動作電力: $P = Na C V^2 f$



特徴: 動作しない回路ブロックのクロックを遮断

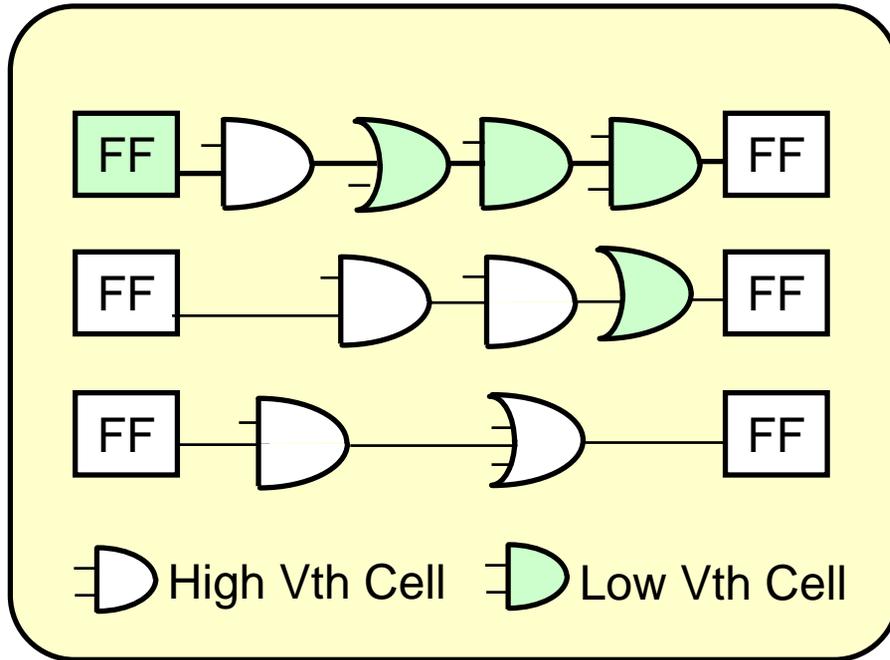
効果: AC電力低減 (Naの低減)。効果はインプリに大きく依存するが、動作電力を数分の1にすることを期待できる。

現状: 代表的なEDAツールでもインプリ可能、低電力が重要なLSIでは必ず使われている

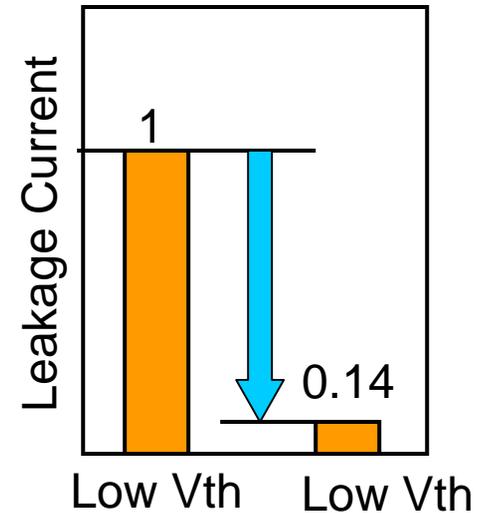
問題点: DC電流は低減できない

Dual VT 技術

Dual VT 構成



効果

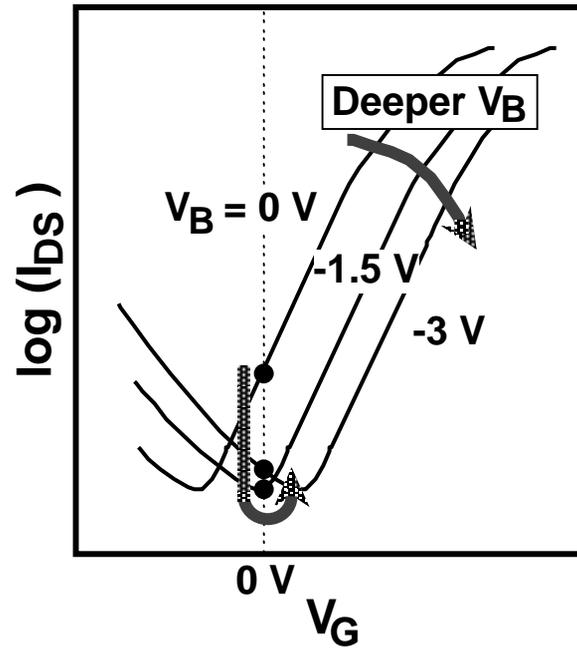
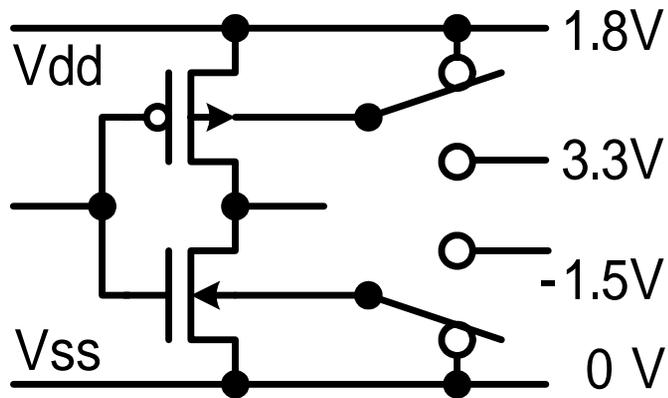


方式: 高しきい値と低しきい値を混ぜて高速と低リークを両立させる

現状: 論理合成時に高しきい値ゲートと低しきい値ゲートを最適に混ぜ合わせる

効果: 動作時、待機時ともにリーク電流を低減。設計によるが、動作速度を劣化させることなくリークを1/5以下にできる。

静的基板バイアス制御方式

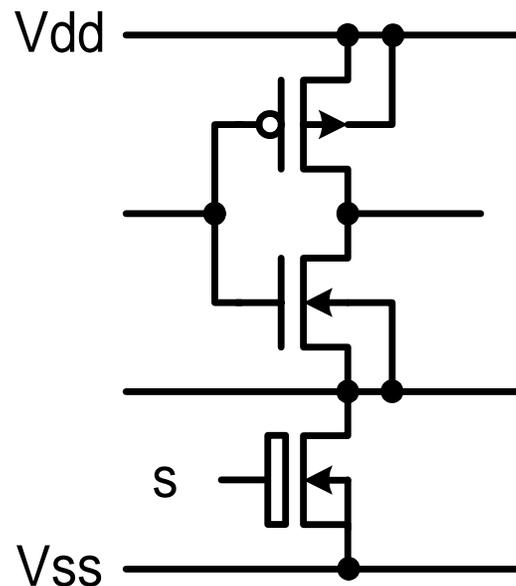
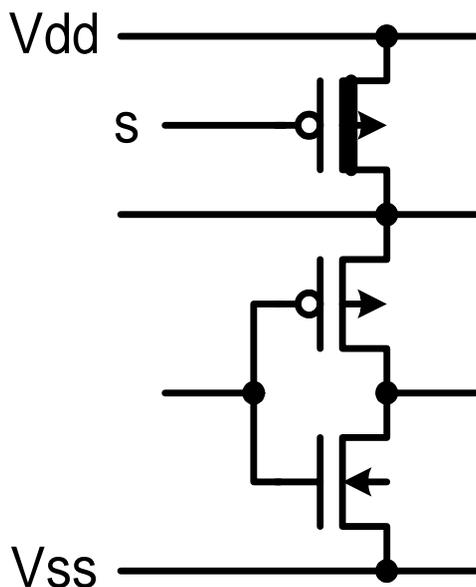


方式: 待機時に基板に負の電圧を印加して、リーク電流を低減

効果: 待機時のみ、リーク電流を1.5-3桁低減できる。

90nm以降のCMOSデバイスでは単純な負電圧印加ではGIDLが増加し、かえってリークが増加する。同時に電源電圧を下げる必要がある。

電源遮断 技術



方式: チップ内に電源を遮断するトランジスタを挿入し、リーク電流を遮断する。

現状: 低電力SOCでは常識になりつつある。(ルネサス、TI, Intelなど)

効果: 待機時のリーク電流を低減。設計によるが、リークを約1/10~1/100にできる。

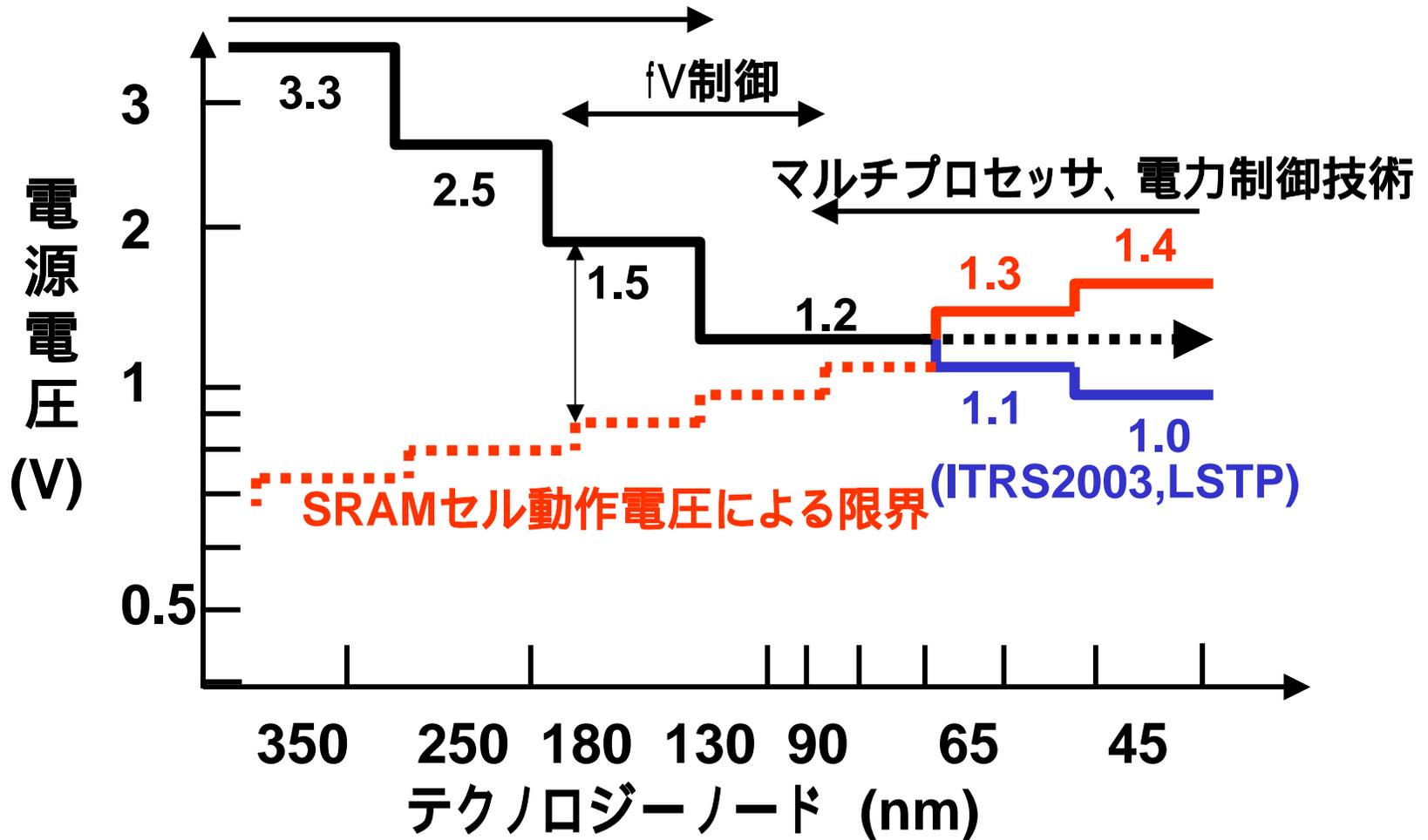
問題点: 回路内部のデータを回避する必要がある。

低電力プロセッサの技術動向

- ➡ 並列動作
- ➡ 多段パイプライン
- ➡ 電源遮断技術(前述)
- ➡ 動的電圧制御技術(fV 制御技術)
- ➡ マルチプロセッサ
- ➡ 電力制御技術

低電力LSIの電源電圧

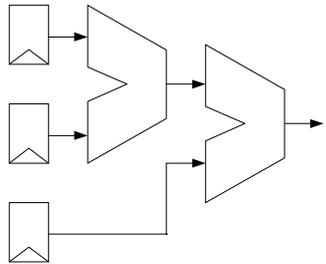
並列動作、多段パイプライン化
と低電圧動作



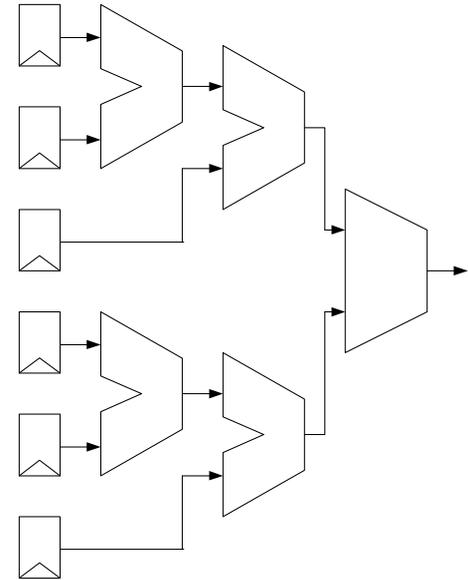
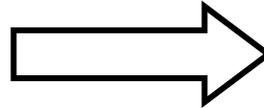
並列動作による低電力化

動作電力: $P = Na C V^2 f$ $\xleftarrow{10\text{ ns}(100\text{MHz})}$

5 ns (200MHz)



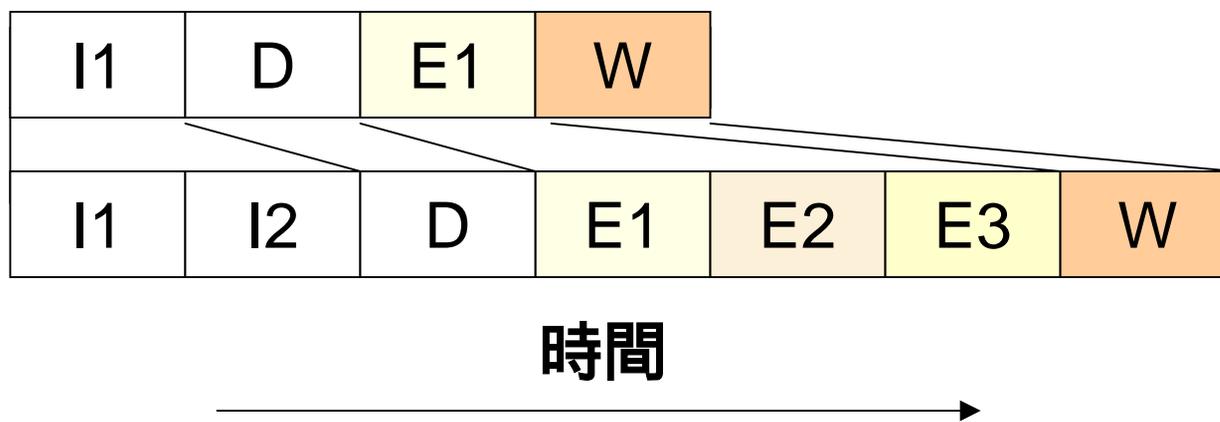
並列化



事例: Super Scaler, SIMD, VIEW などの
アーキテクチャによる並列動作と
低電圧動作の組み合わせ

効果: Naが2倍必要だが、fは1/2でよい
Vを1/2にできれば電力は1/4

多段パイプライン化による低電力化



パイプライン段数を2倍にできれば、 f は $1/2$ で同じスループットを確保できる。 V を $1/2$ にできれば電力は原理的には $1/4$

問題点: FF数が増えるオーバヘッドあり。低電圧化しないのであれば電力効率で見るとかえって逆効果

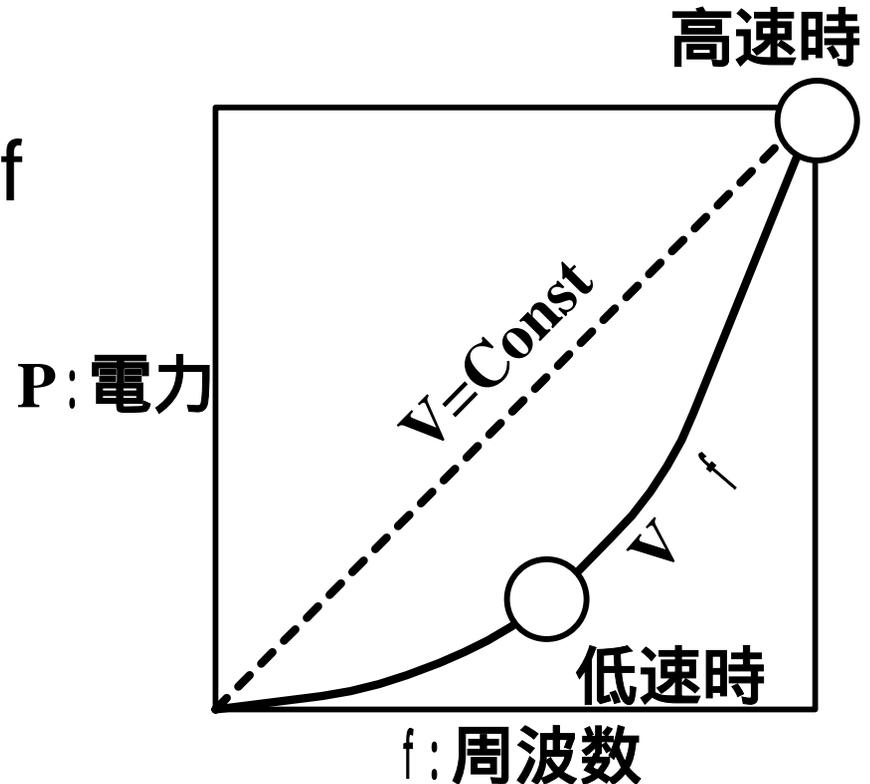
DVS方式

- Dynamic Voltage Scaling -

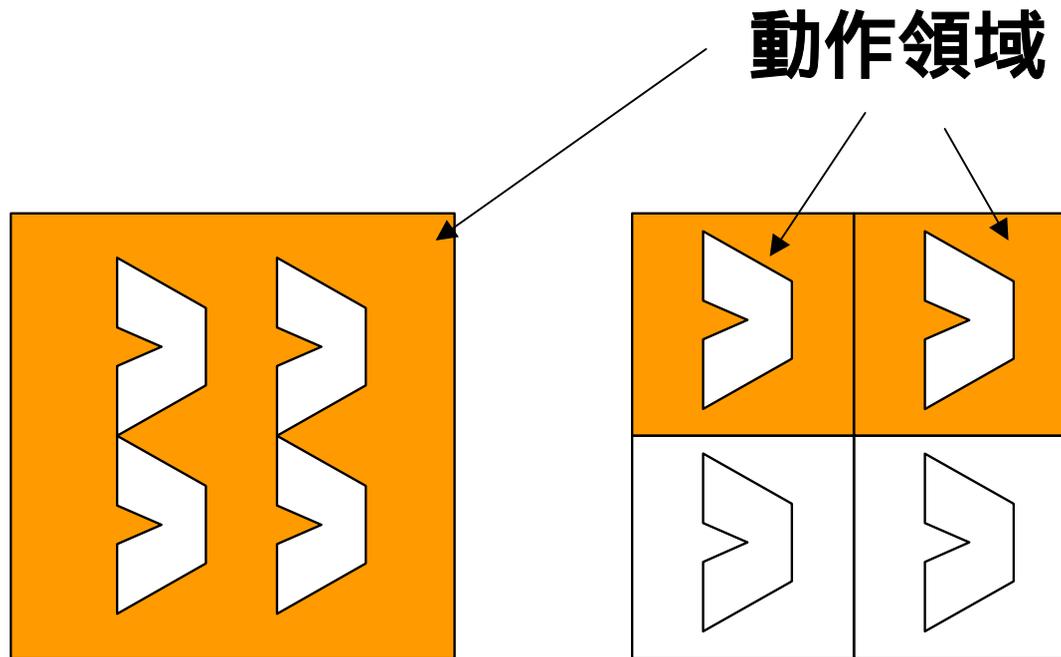
動作電力: $P = Na C V^2 f$

効果: f を1/2の時、 V を1/2に
できれば電力は1/8

課題: 電源電圧の範囲を広く
する必要がある。90nmテクノ
ロジ以降では困難?



マルチプロセッサによる低電力化

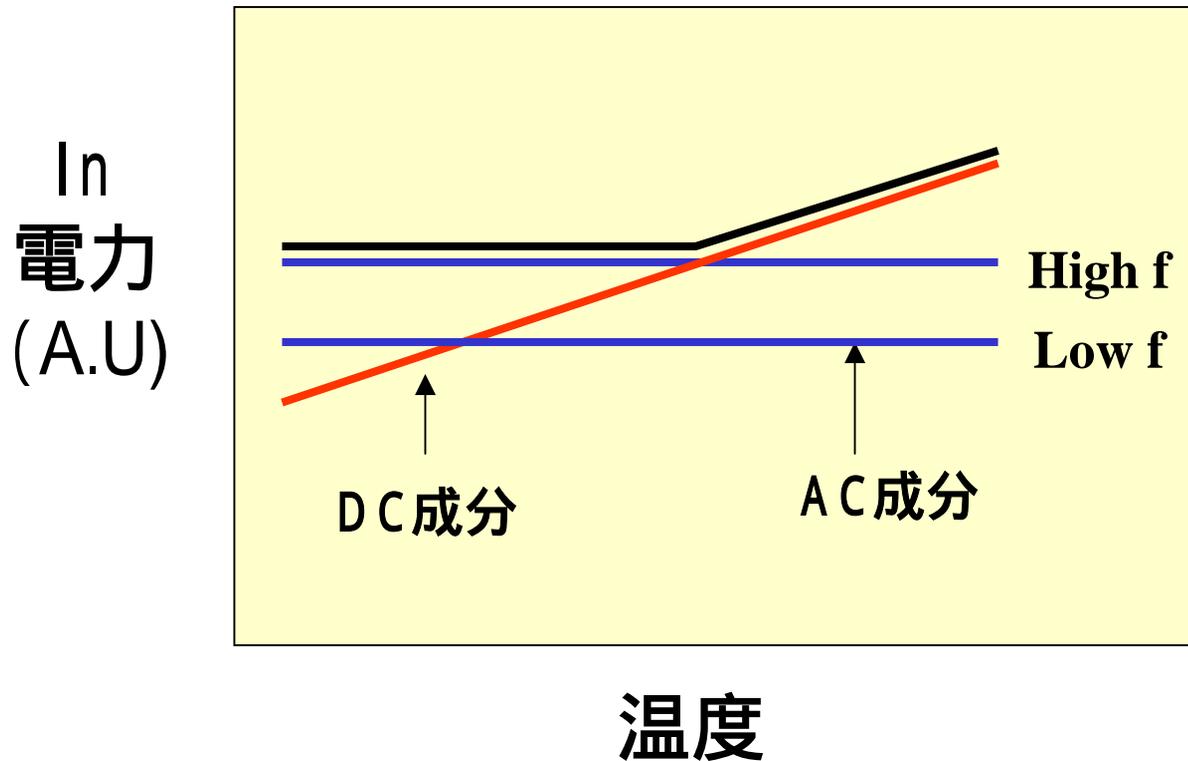


シングルプロセッサ

マルチプロセッサ

マルチプロセッサは動作領域を制限できるため平均電力は下げられる。

低消費電力プロセッサ技術動向



- ◆ 消費電力は高温になるほど増加するため、接合温度を意識した低電力方式が開発されている。

まとめ

- ➡ プロセッサの低消費電力化は、デバイスの特性を考慮してさまざまな方式が開発されてきた。
- ➡ 従来は並列動作、多段パイプラインと低電圧動作の組み合わせが主流であった。
- ➡ 近年のスタンバイ時のリーク電流を抑えるためチップ内の電源遮断技術が活用されている。
- ➡ 近年はリーク電流、デバイスばらつきにより低電圧化が困難になり、 fV 制御、マルチプロセッサ、電力制御技術が検討されている。