

近接ワイヤレス接続が創る 3次元集積計算システム

慶應義塾大学工学部電子工学科

黒田忠広

www.kuroda.elec.keio.ac.jp

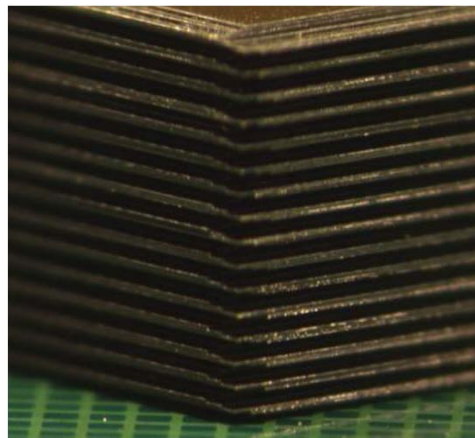
内容

1. 磁界結合によるチップ間通信
ThruChip Interface (TCI)

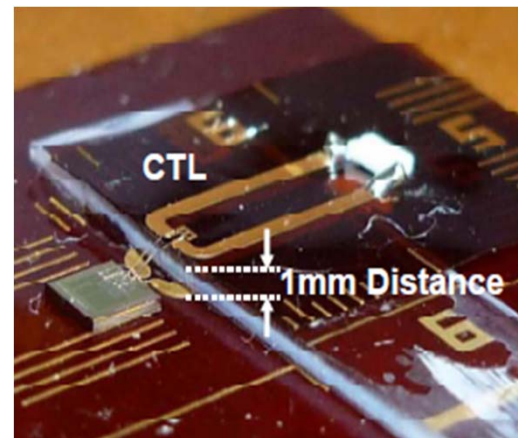
2. TCIの応用

3. 電磁界結合によるボード間通信

Coupled Transmission Line (CTL)



チップレベル
3D IC
 μm , 5Tbps, TCI



ボードレベル
非接触コネクタ
mm, 50Gbps, CTL

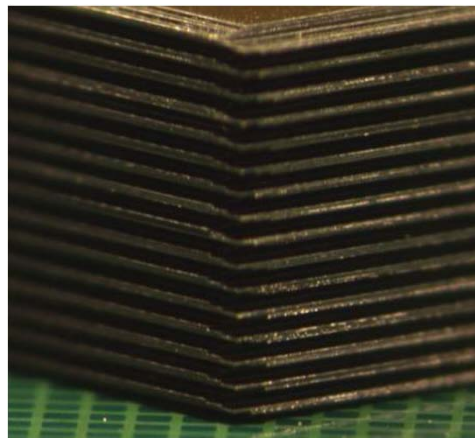
内容

1. 磁界結合によるチップ間通信 ThruChip Interface (TCI)

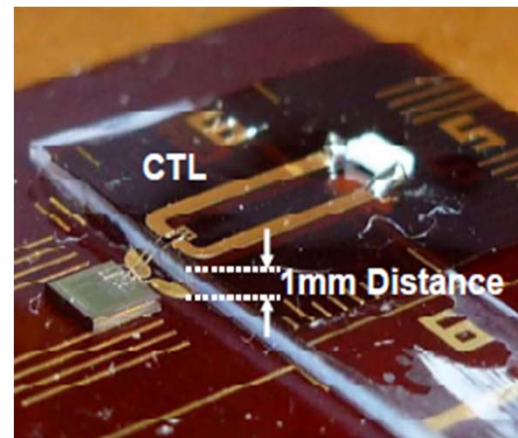
2. TCIの応用

3. 電磁界結合によるボード間通信

Coupled Transmission Line (CTL)



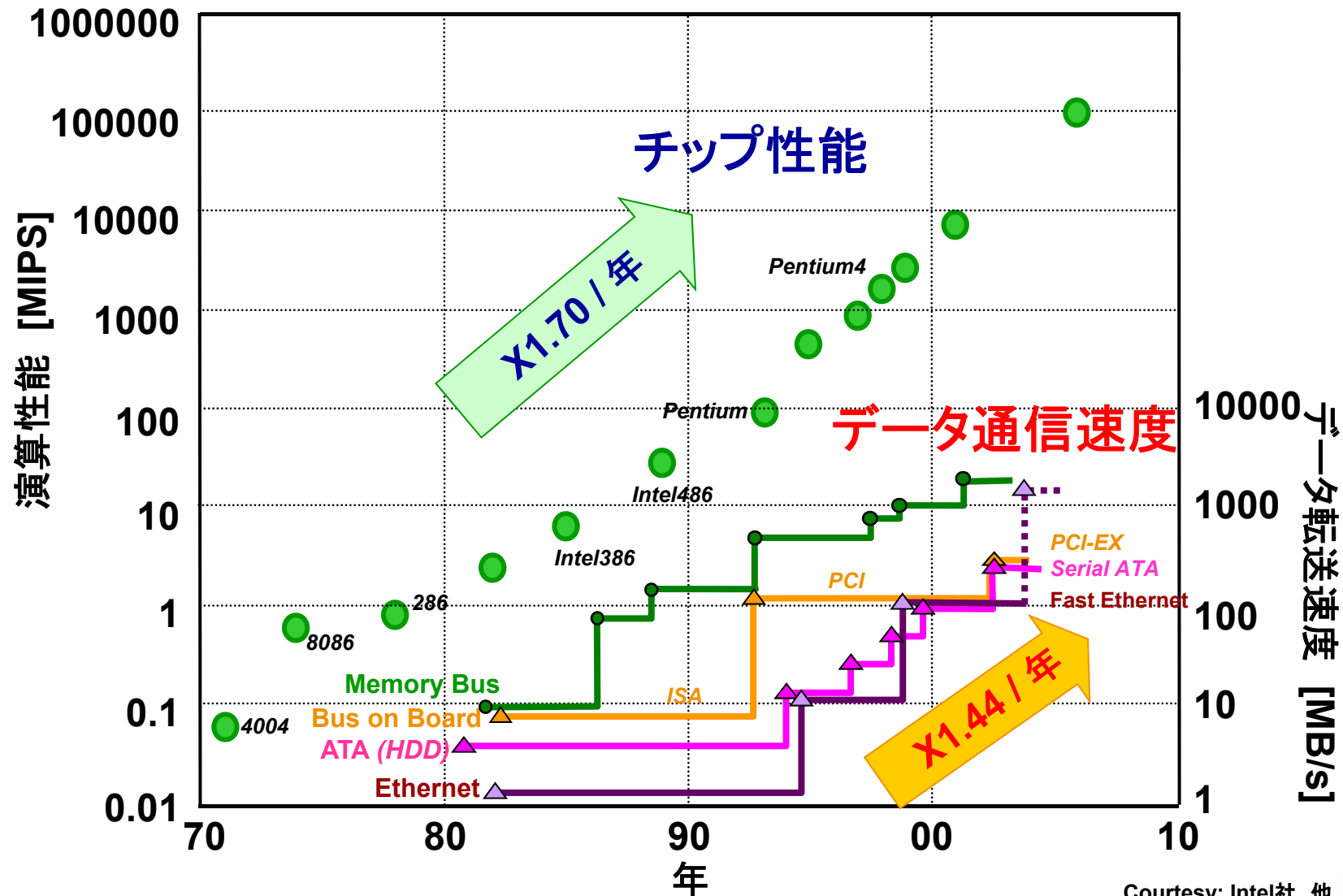
チップレベル
3D IC
 μm , 5Tbps, TCI



ボードレベル
非接触コネクタ
mm, 50Gbps, CTL

チップ性能とデータ通信速度

70%向上したチップ性能を活用するためにはデータ通信速度の44%向上が必要



チップ性能は面に比例、通信速度は辺に比例

■チップ性能

1.15 (トランジスタの動作速度) x 1.49 (集積度) = x1.70/年

面(チップ全面に集積できるから)

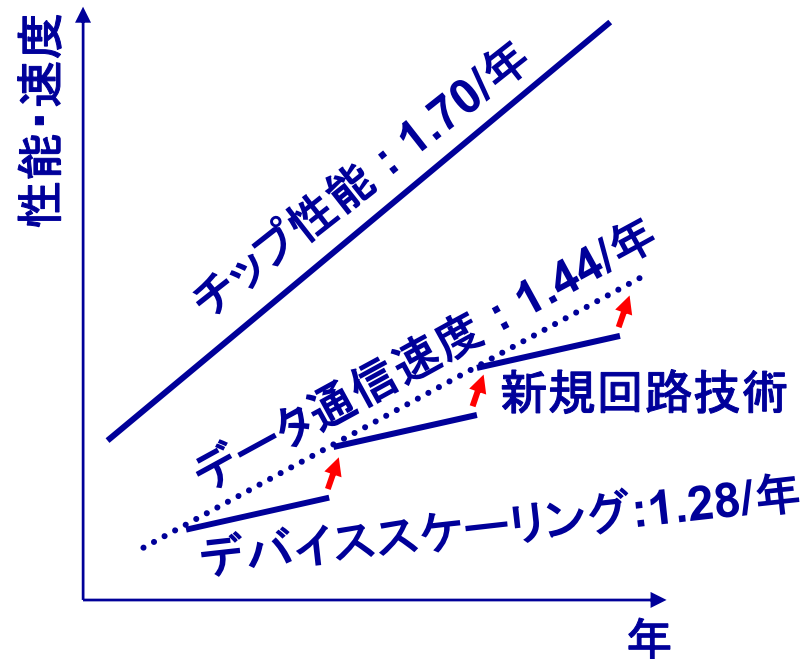
■データ通信速度

1.15 (トランジスタの動作速度) x 1.11 (I/O数) = x1.28/年

辺(周辺だけから出入りするから)

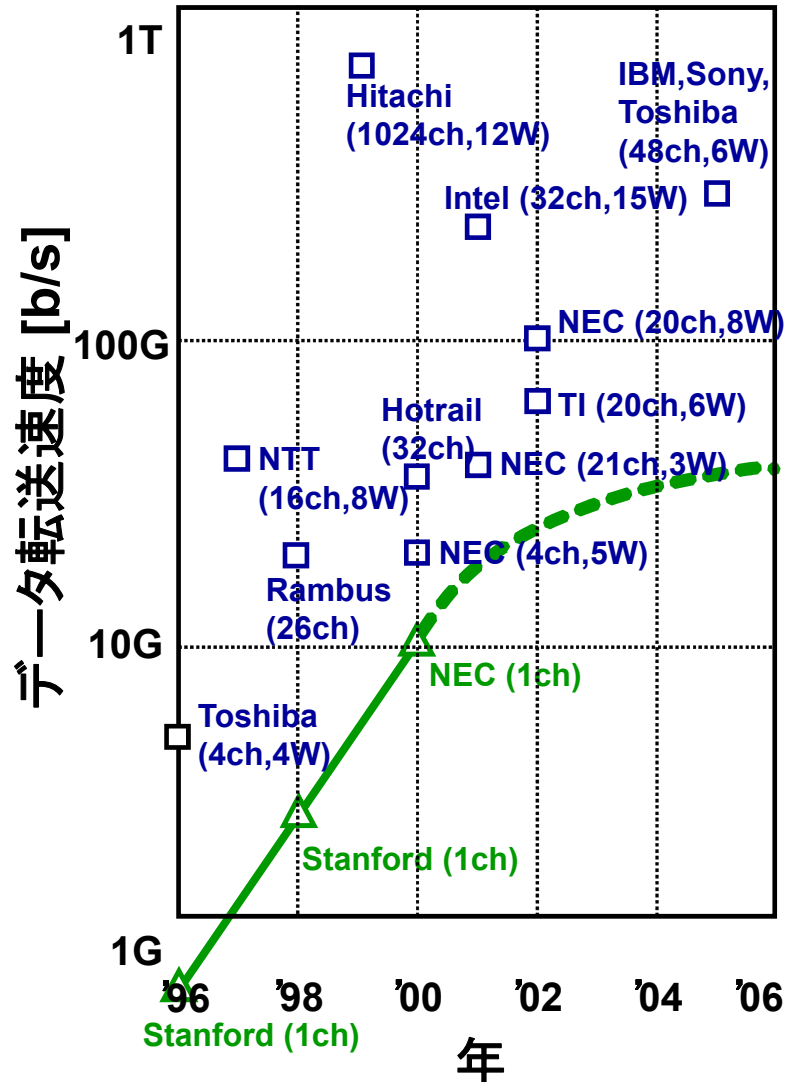


通信速度 ∝ 辺(I/O数)

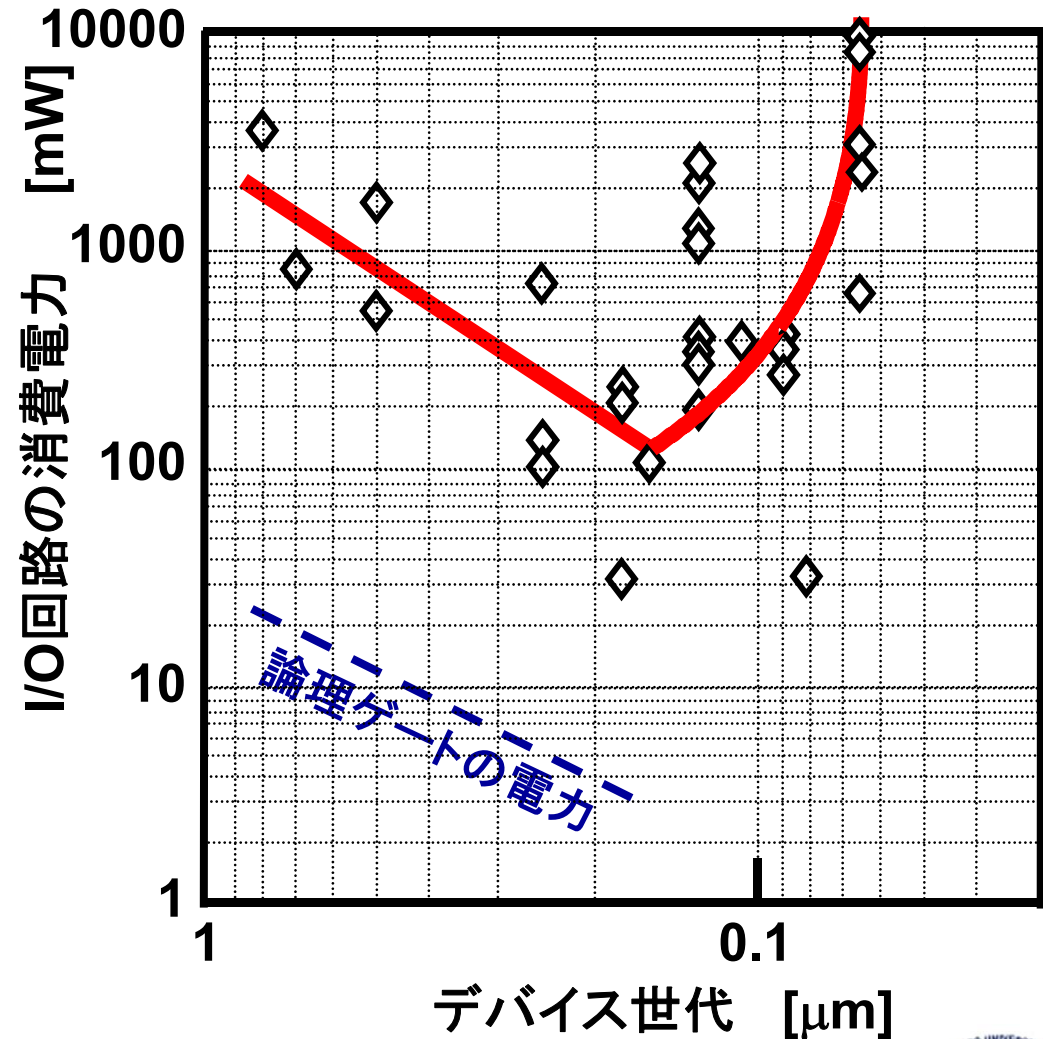


チップ間データ通信速度の改善は限界

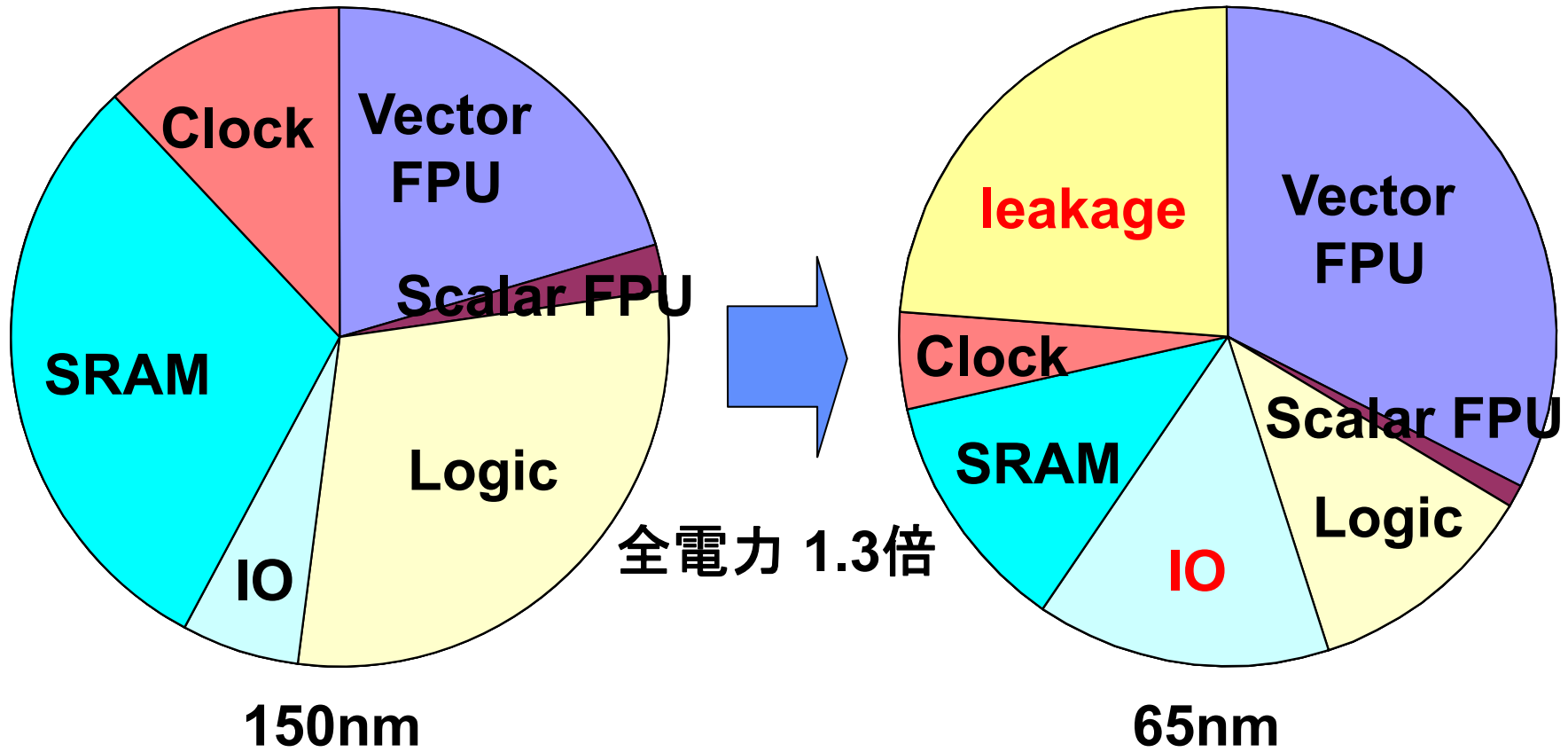
速度の壁



電力の壁



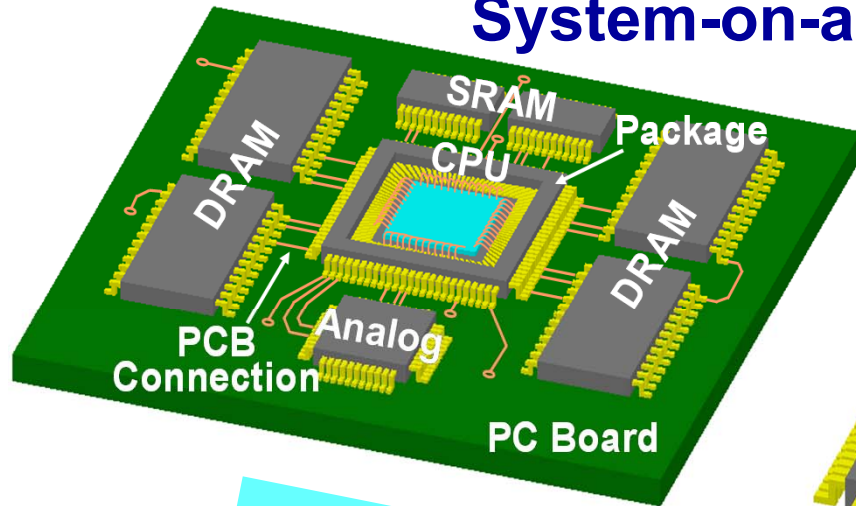
急増する通信電力



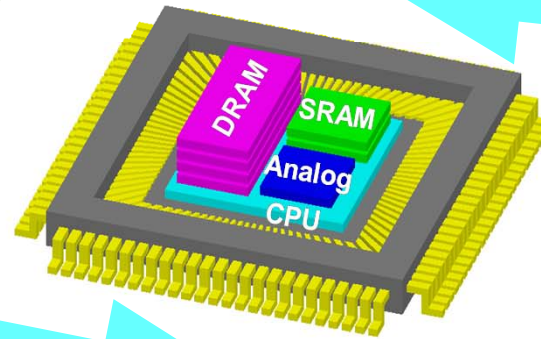
スーパーコンピュータ用チップの電力内訳

SiP

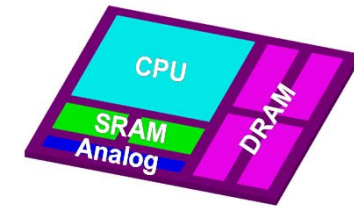
System-on-a-Board



System-in-a-Package (SiP)

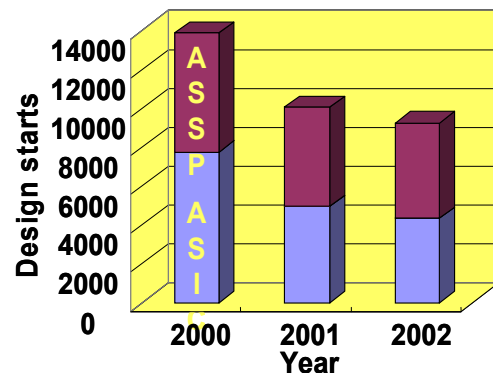


低コスト, QTAT



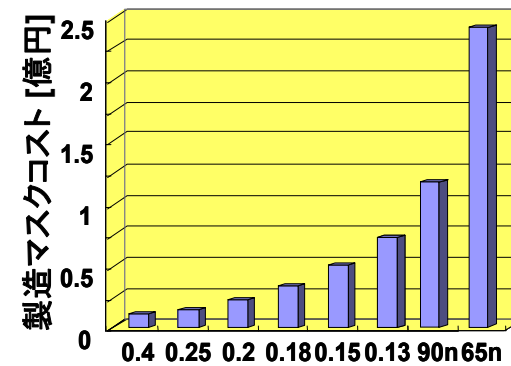
System-on-a-Chip (SoC)

低電力, 高速



新規設計数は1997年以降減少。

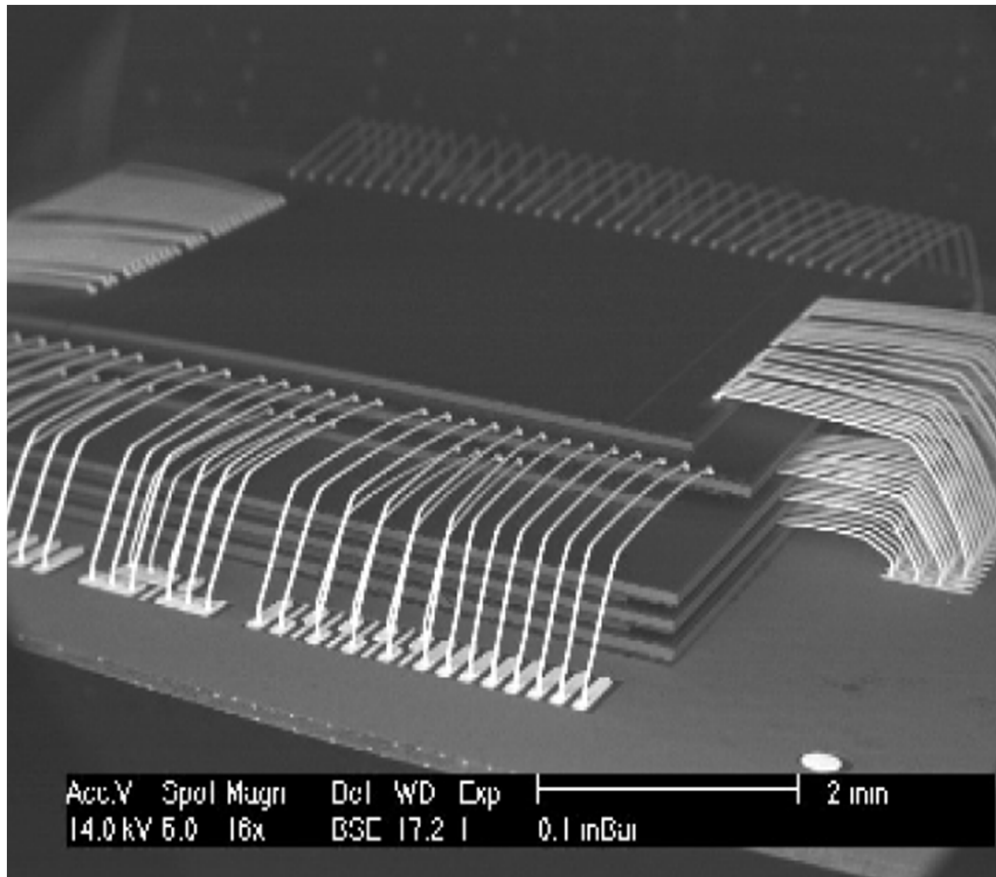
出典: EE Times



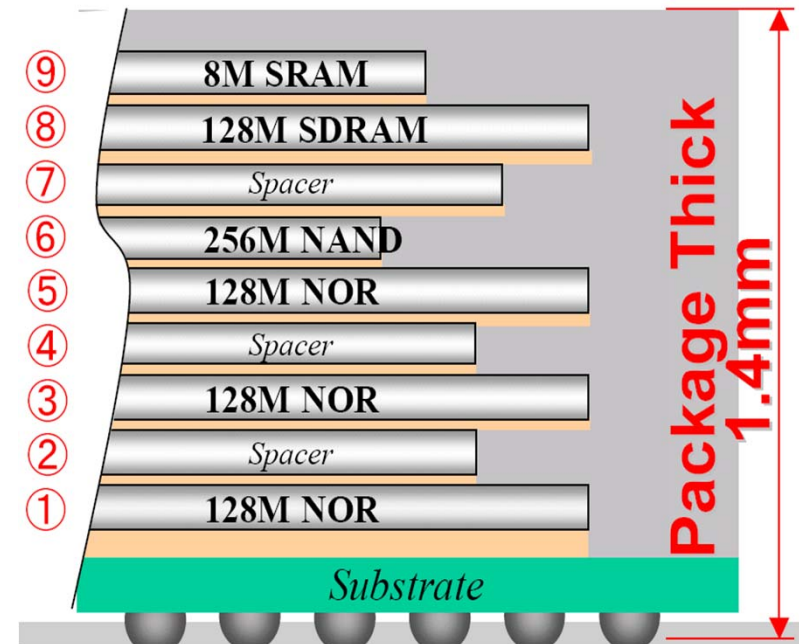
デバイス世代[μm]

出典: Intel

積層チップをワイヤボンディングで配線

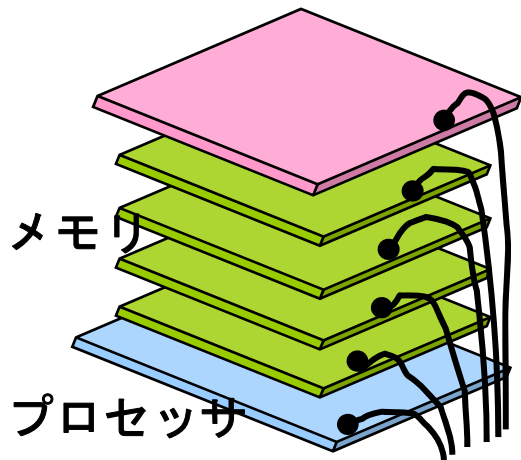


Courtesy: 東芝



周辺から面へ、機械式から電子式へ

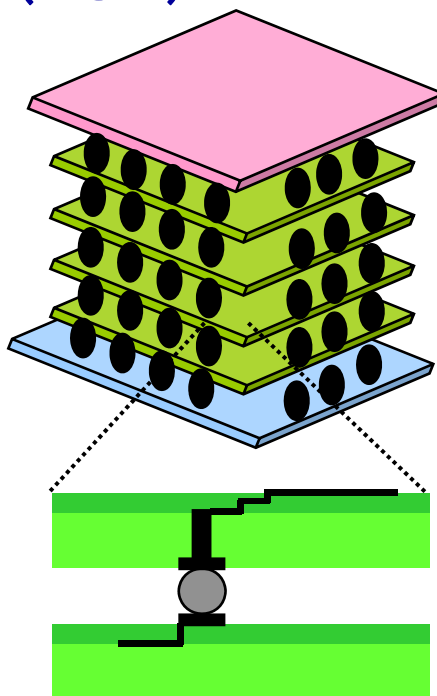
■ ワイヤボンディング



■ Chip Performance
■ \propto Area (Tr.#)
■ Pin Bandwidth
■ \propto Periphery (I/O#)

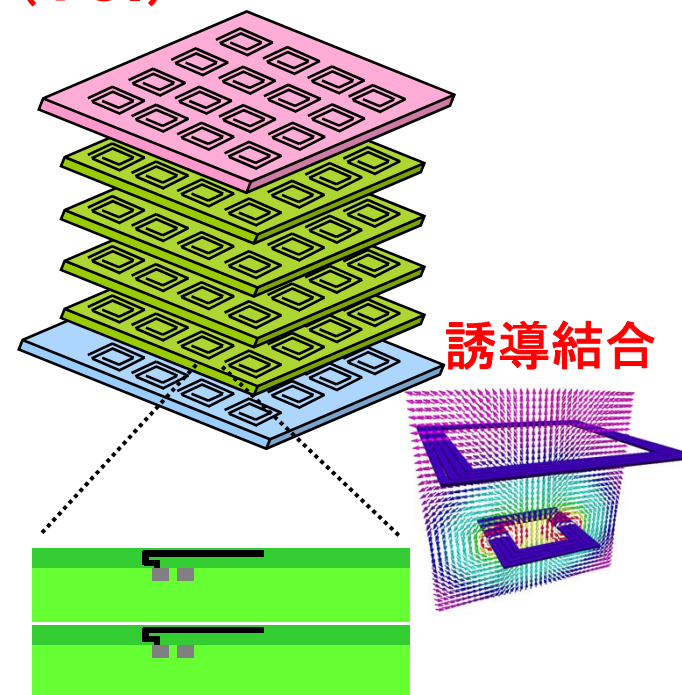
- (+) 低コスト
- (-) 低バンド幅

■ Through Si Via (TSV)



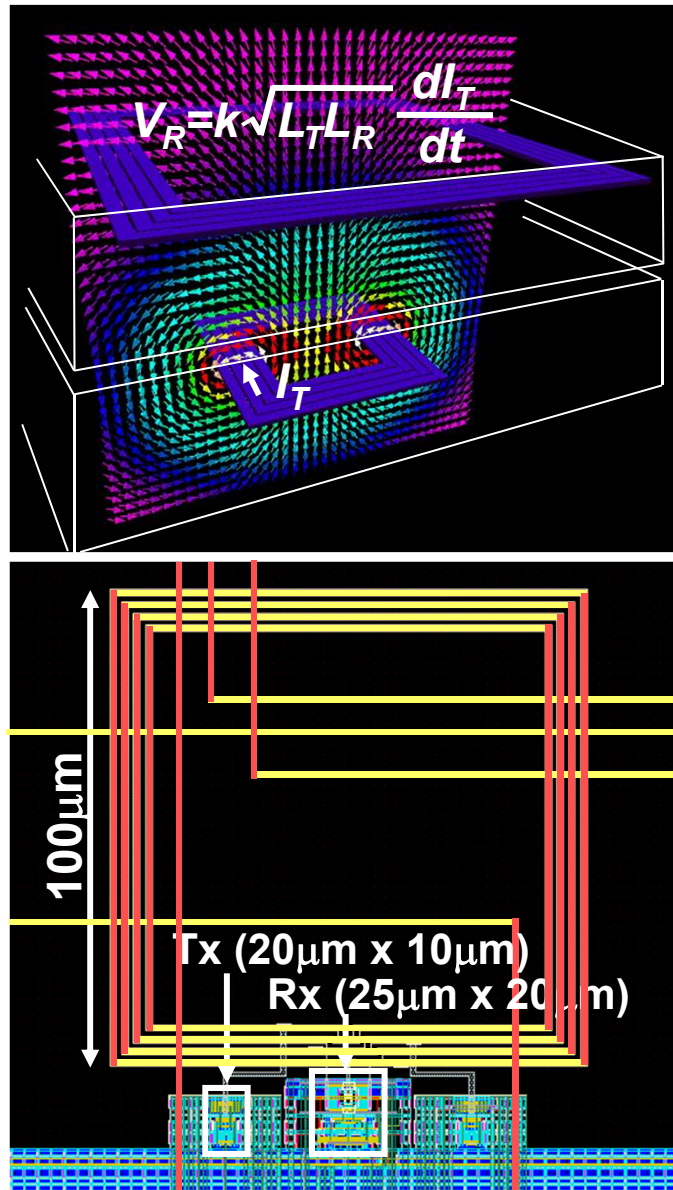
- (+) 高バンド幅
- (-) 高価
- (-) 低信頼性

■ ThruChip Interface (TCI)



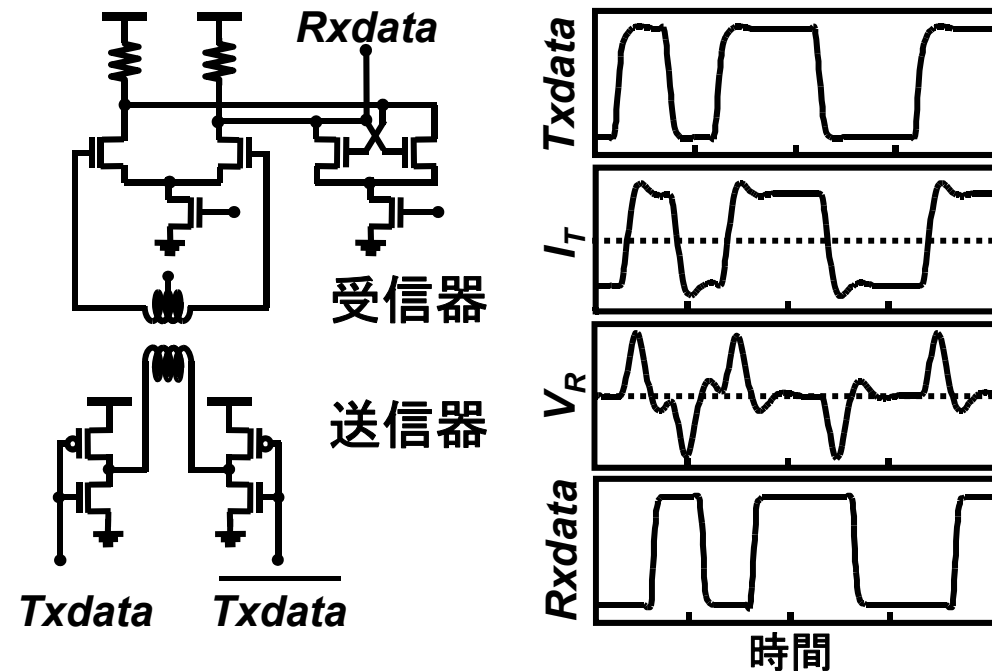
- (+) 高バンド幅
- (+) 低コスト
- (+) 高信頼性
- (+) 薄化

ThruChip Interface (TCI)



■ 誘導結合通信

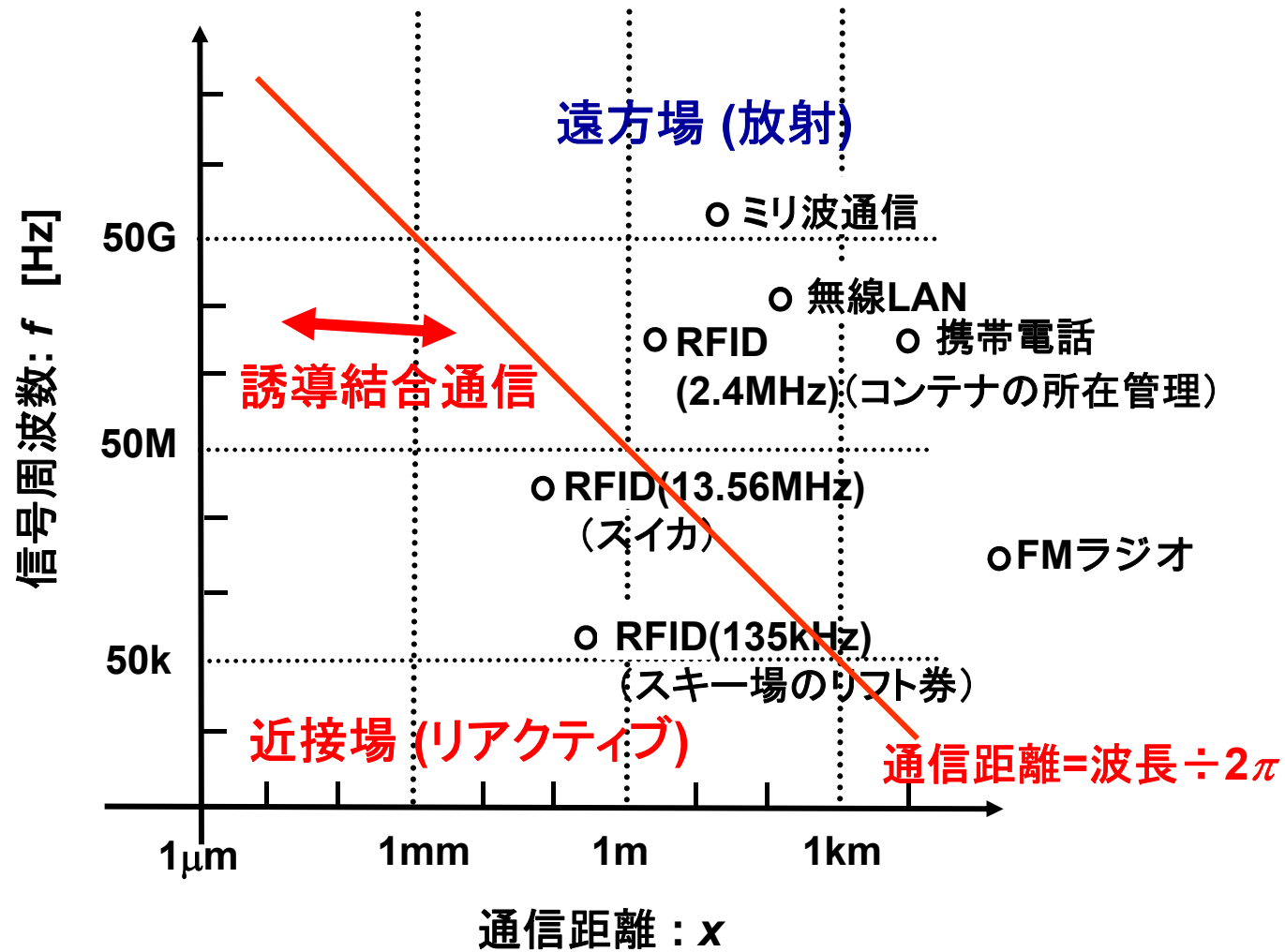
■ デジタルCMOS回路



■ 多層配線で巻いたコイル

- ロジック配線がコイルを通過できる
- コイルはチップのどこにでも配置できる (SRAMセル上でも構わない)

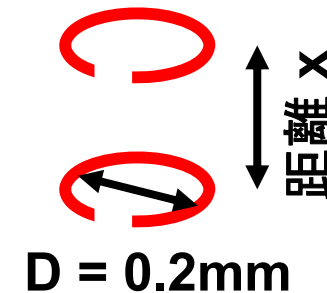
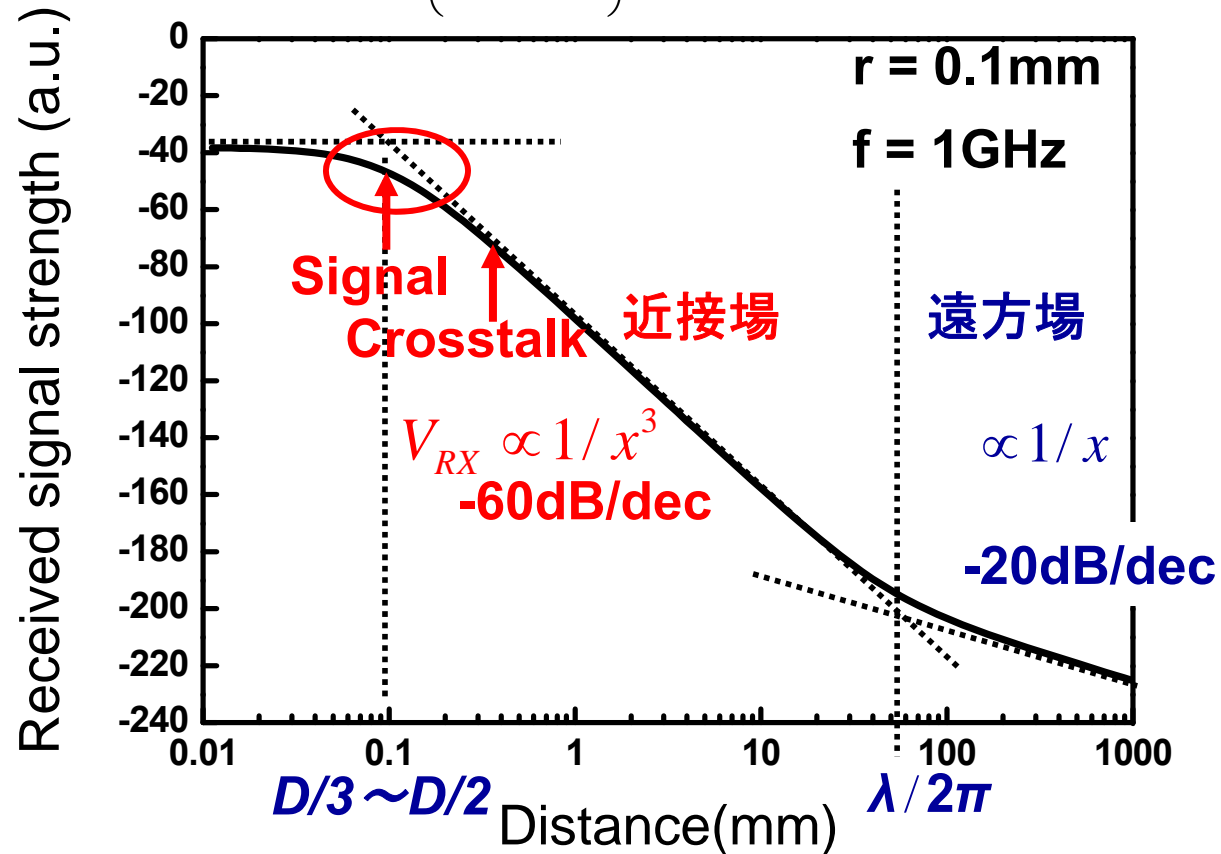
近接場と遠方場



近接場での信号減衰

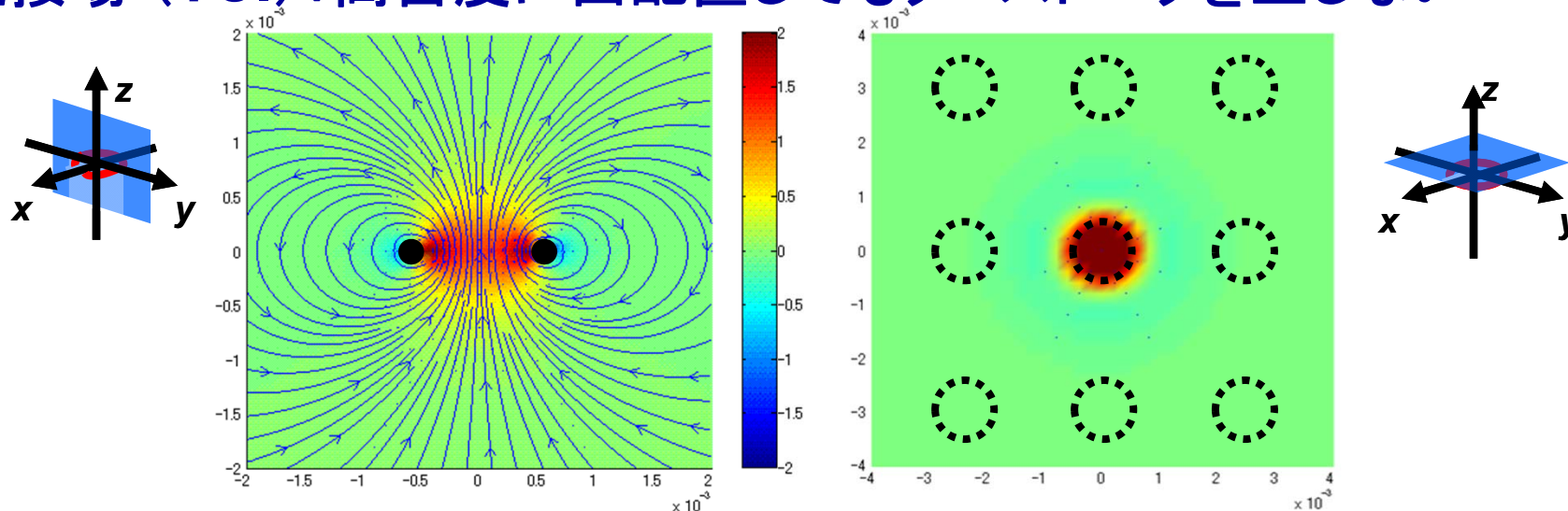
近接場でコイルの半径以上の通信距離になると信号は急速に減衰する。

$$V_{RX} = \frac{\pi\mu_0 n_{TX} n_{RX} r_{TX}^2 r_{RX}^2}{2(\sqrt{r_{TX}^2 + x^2})^3} \cdot j\omega I_{TX} \quad \text{at near field}$$

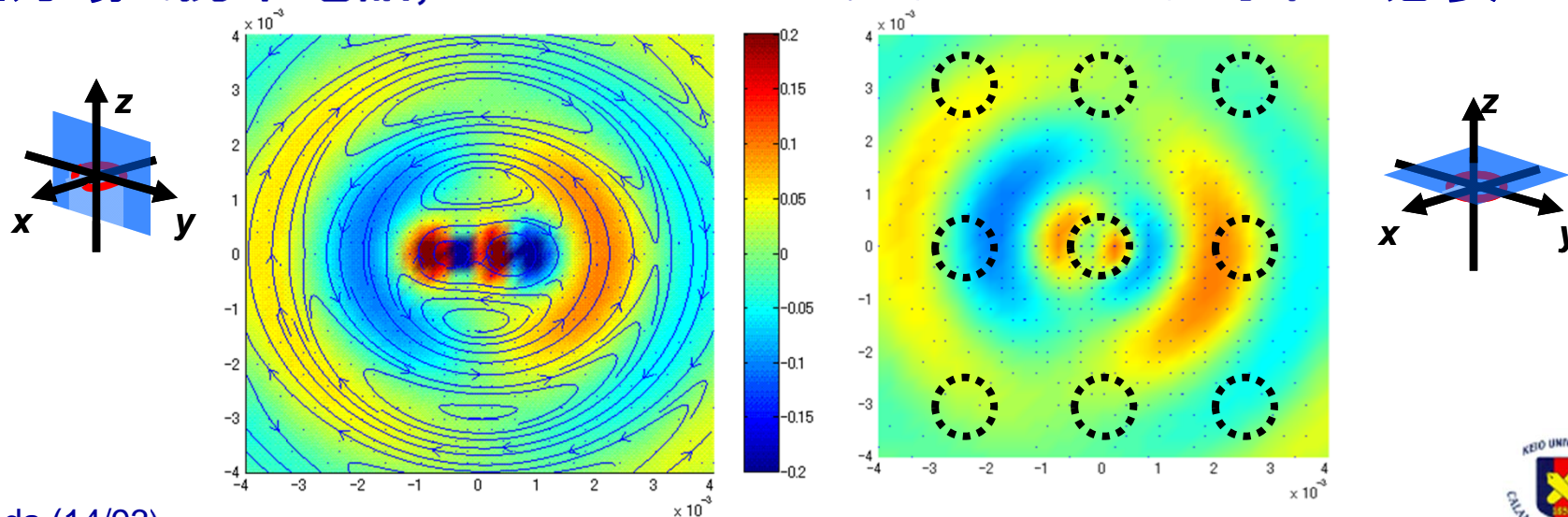


近接場の電磁界

- 近接場 (TCI): 高密度に面配置してもクロストークを生じない

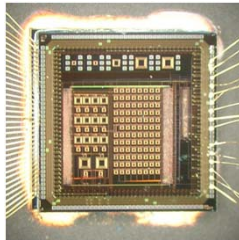


- 遠方場 (携帯電話, ワイヤレスLAN): クロストーク対策が必要

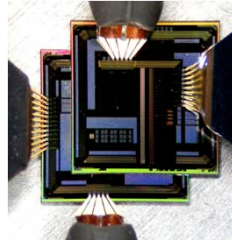


高速、低電力、薄い

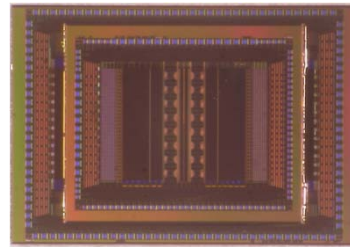
■ 高速



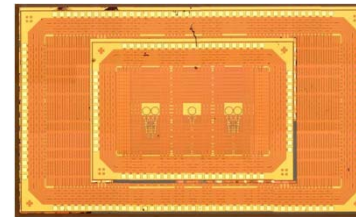
ISSCC'04
1.2Gb/s



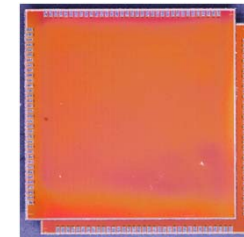
ISSCC'05
200Gb/s



ISSCC'06
1Tb/s (1000ch)



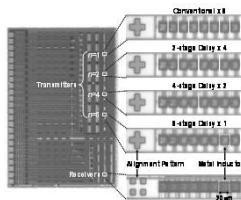
ISSCC'08
11Gb/s/ch



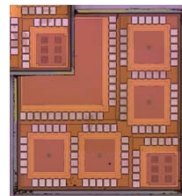
ISSCC'10 (24.3)
8Tb/s (1000ch)

- チャンネル数を増やすことで総データ転送速度を高くできる。

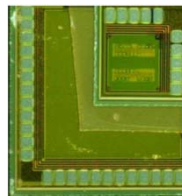
■ 低電力



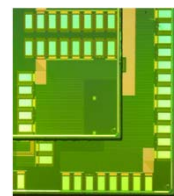
VLSI'06
4.3pJ/b



ISSCC'07A
0.14pJ/b



SSCC'08
0.065pJ/b



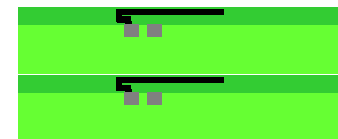
VLSI'10
0.01pJ/b

H.264/AVC: $0.1\text{pJ/b} \times 23.1\text{Gb/s} = 2.3\text{mW}$

- ESD保護回路 (3pJ/b) 不要。

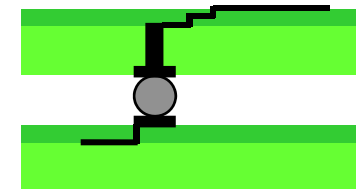
■ 薄い、熱抵抗低い

TCI:
 bumps 不要



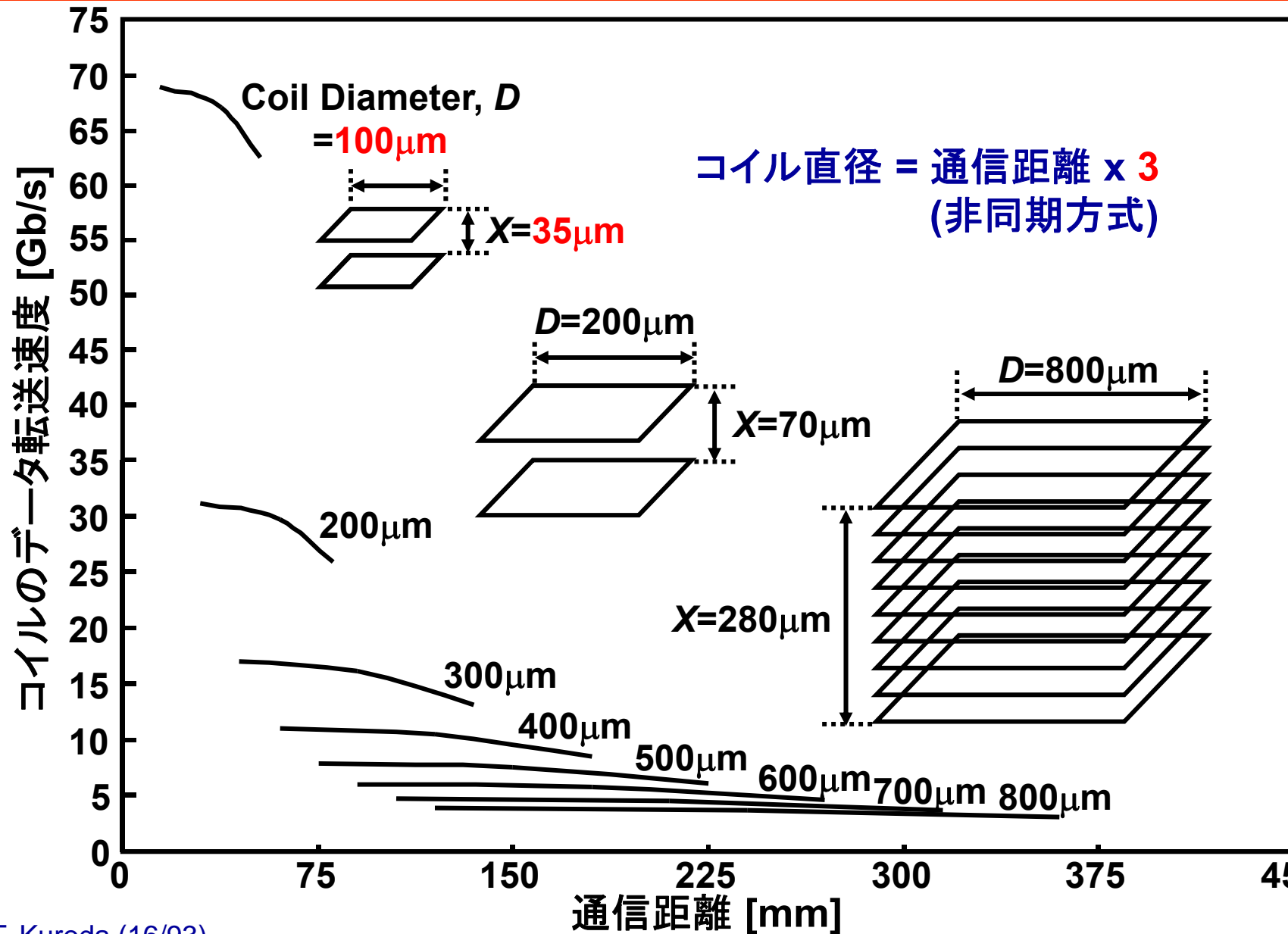
bumps 不要

TSV:
 bumps 必要

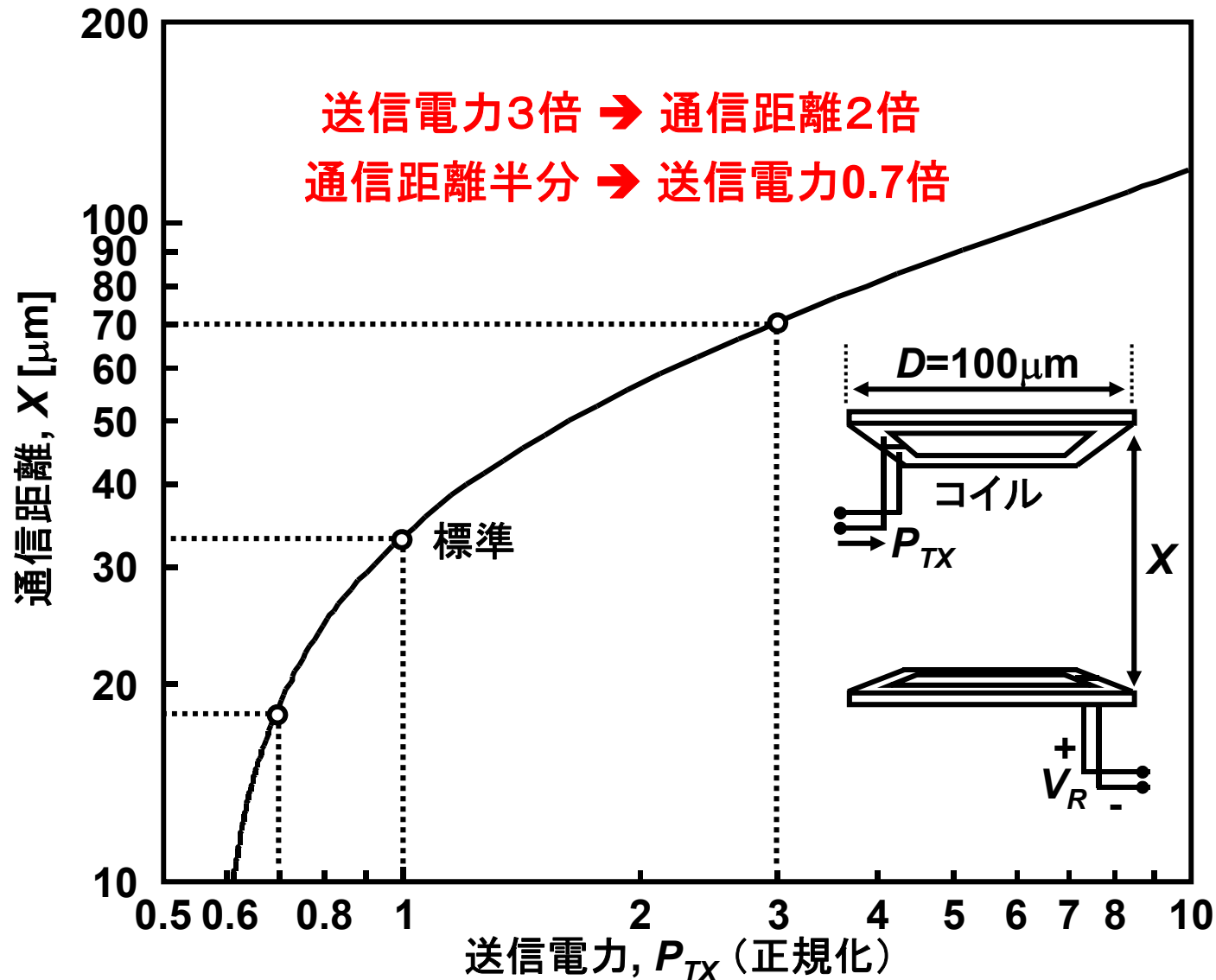


bumps 必要

通信距離とコイル直径とデータ転送速度



送信電力と通信距離



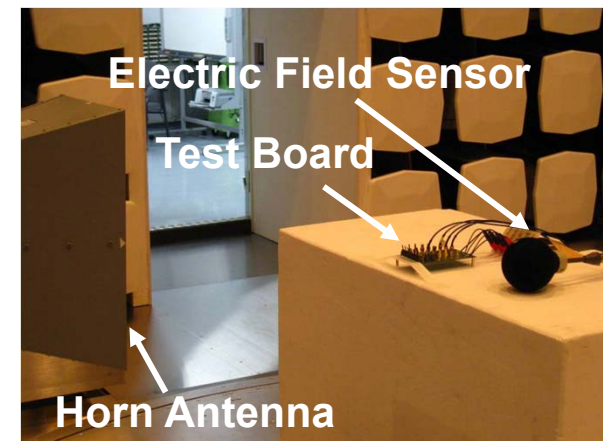
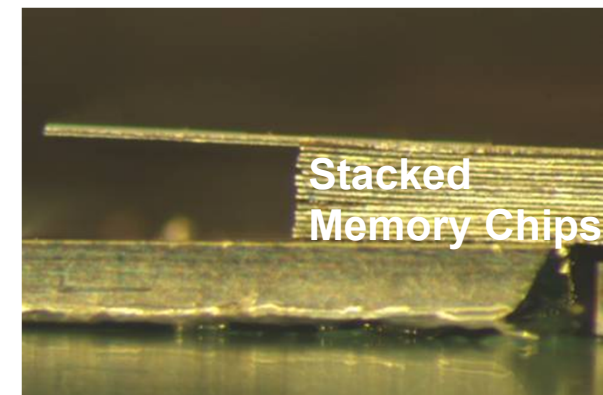
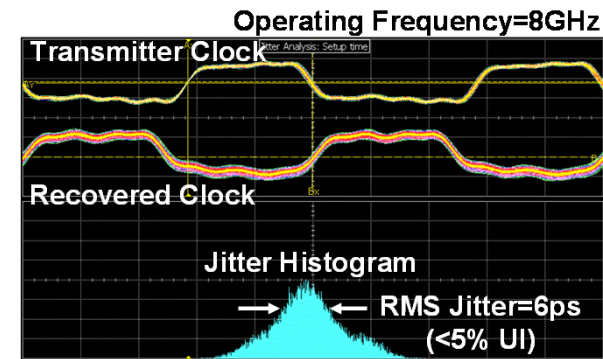
同期方式と非同期方式

	同期方式	非同期方式
回路		
転送速度	5Gb/s	11Gb/s
エネルギー/bit	0.3pJ/b	1pJ/b
タイミング制御	必要	不要
コイル直径	通信距離 x 2	通信距離 x 3

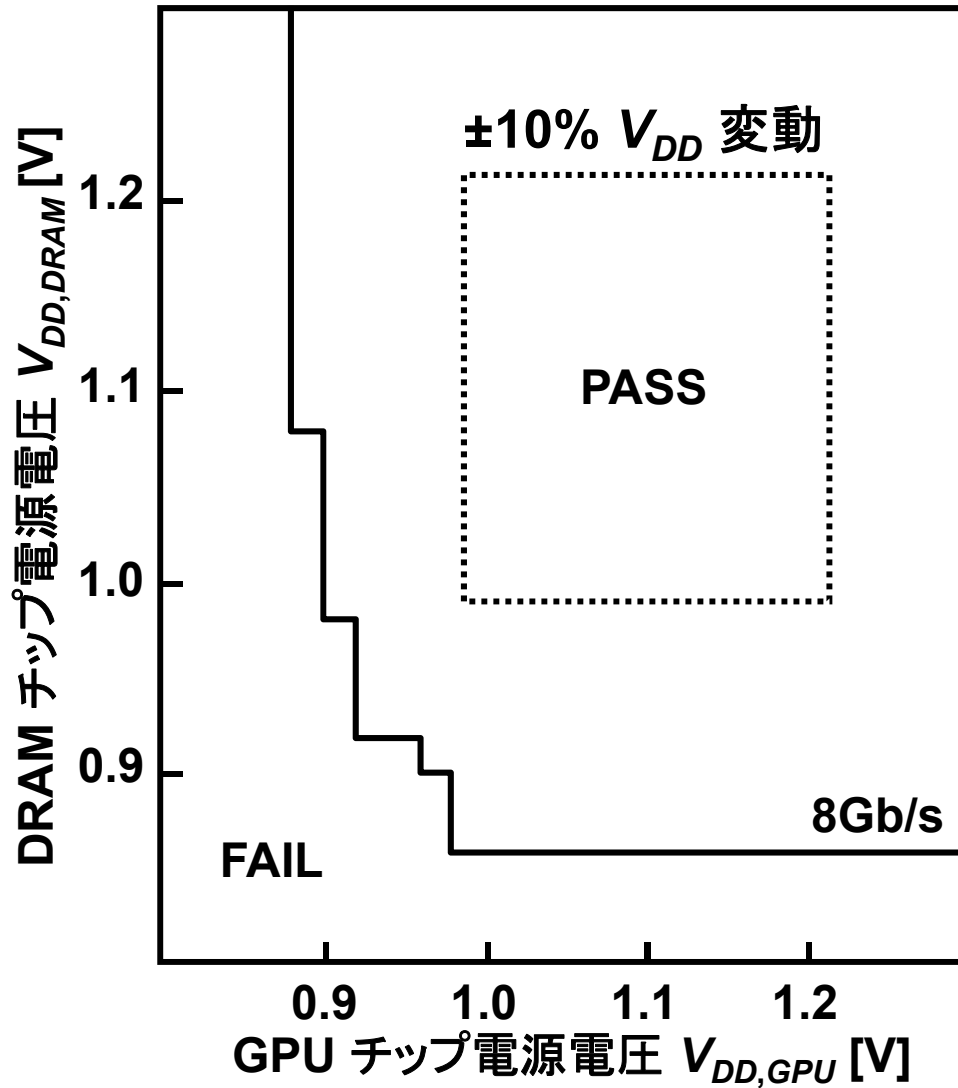
in 0.18 μ m CMOS

信頼性

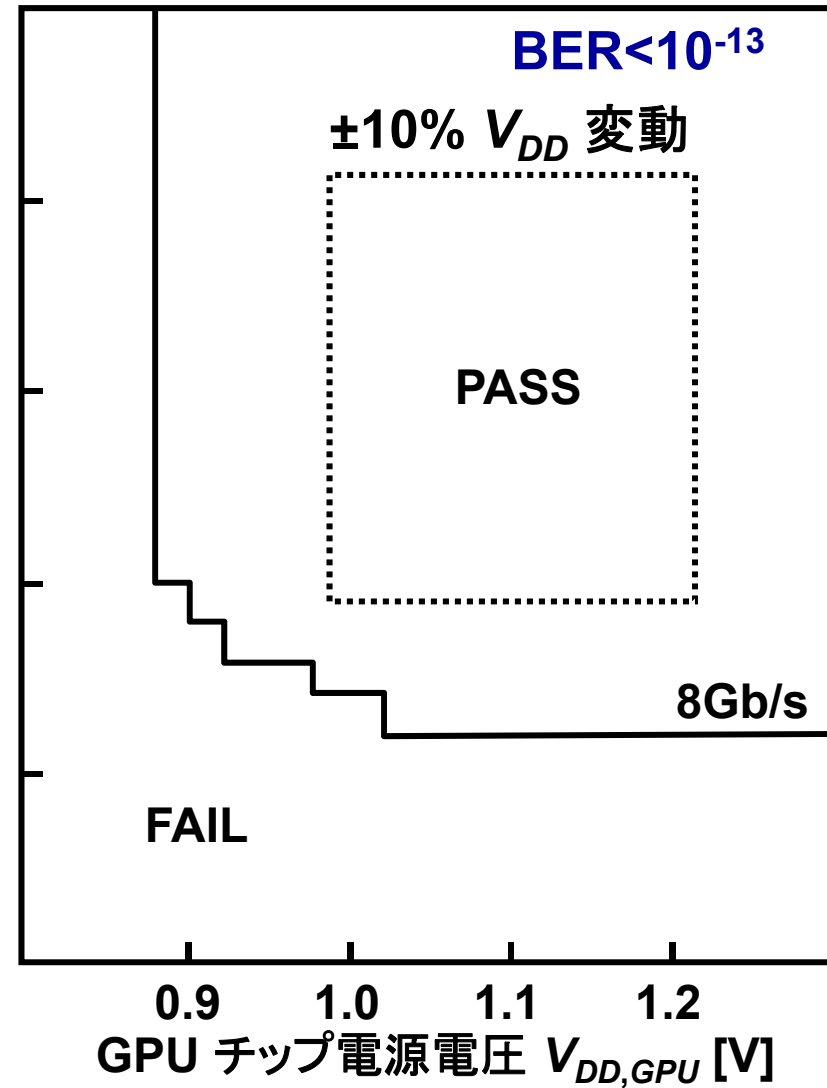
- ビット誤り率 $BER < 10^{-14}$
 - 従来の有線通信と同程度 [ISSCC'04]
- ジッター $< 5\% UI$
- 結合劣化
 - シリコン基板での渦電流
 - 電源線網での渦電流 [A-SSCC'07]
 - ビット線/ワード線での渦電流 [ISSCC'10]
 - チップ位置合わせ誤差 [SSDM'08]
- チャンネル間クロストーク
 - ピッチ $>$ 直径の2倍 [CICC'04]
- 干渉
 - デジタルからTCIへ [A-SSCC'09]
 - TCIからSRAMへ [A-SSCC'07]
 - 環境からTCIへ (EMS) [SSDM'09]
 - TCIから環境へ (EMI) [SSDM'09]



V_{DD} ばらつき耐性



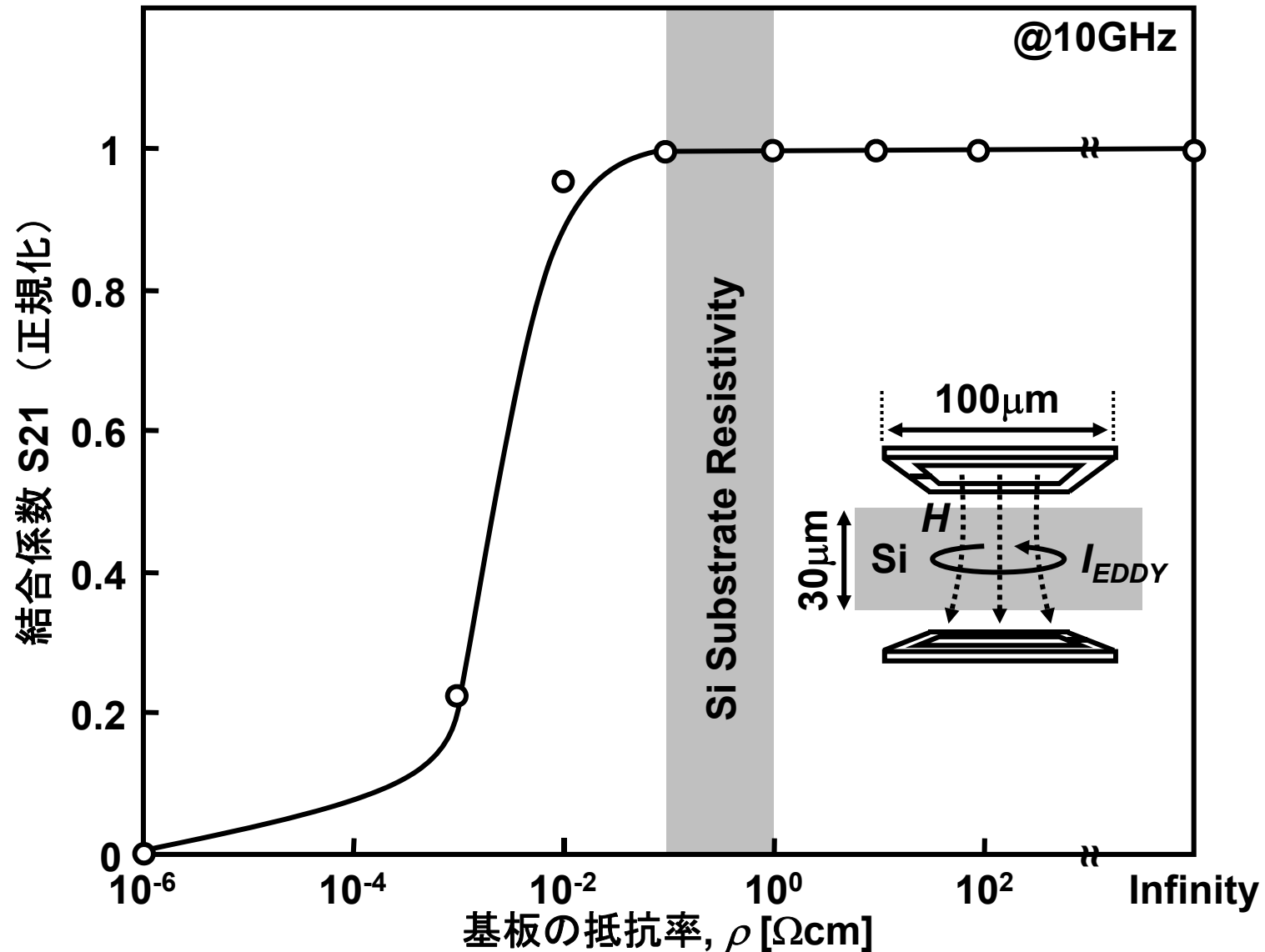
(a) メモリ書込み



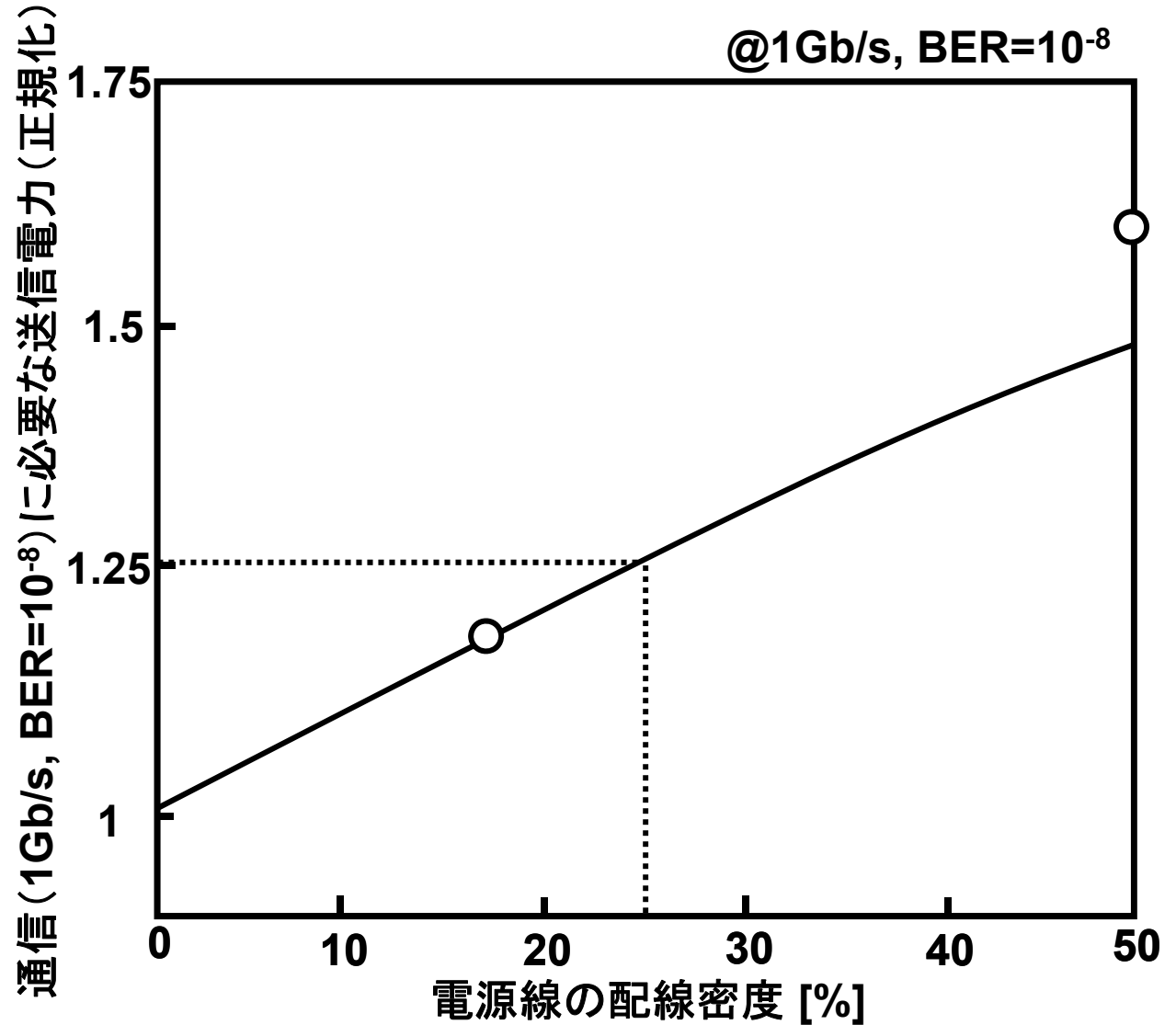
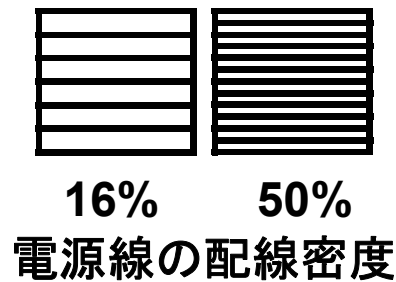
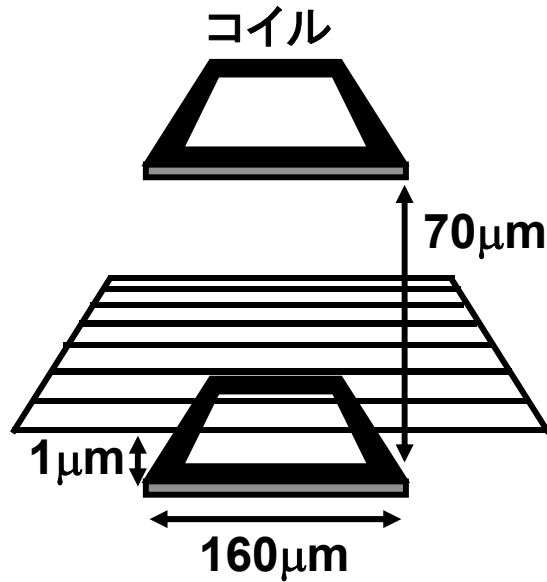
(b) メモリ読み出し

[35] ISSCC'10, Keio Univ.

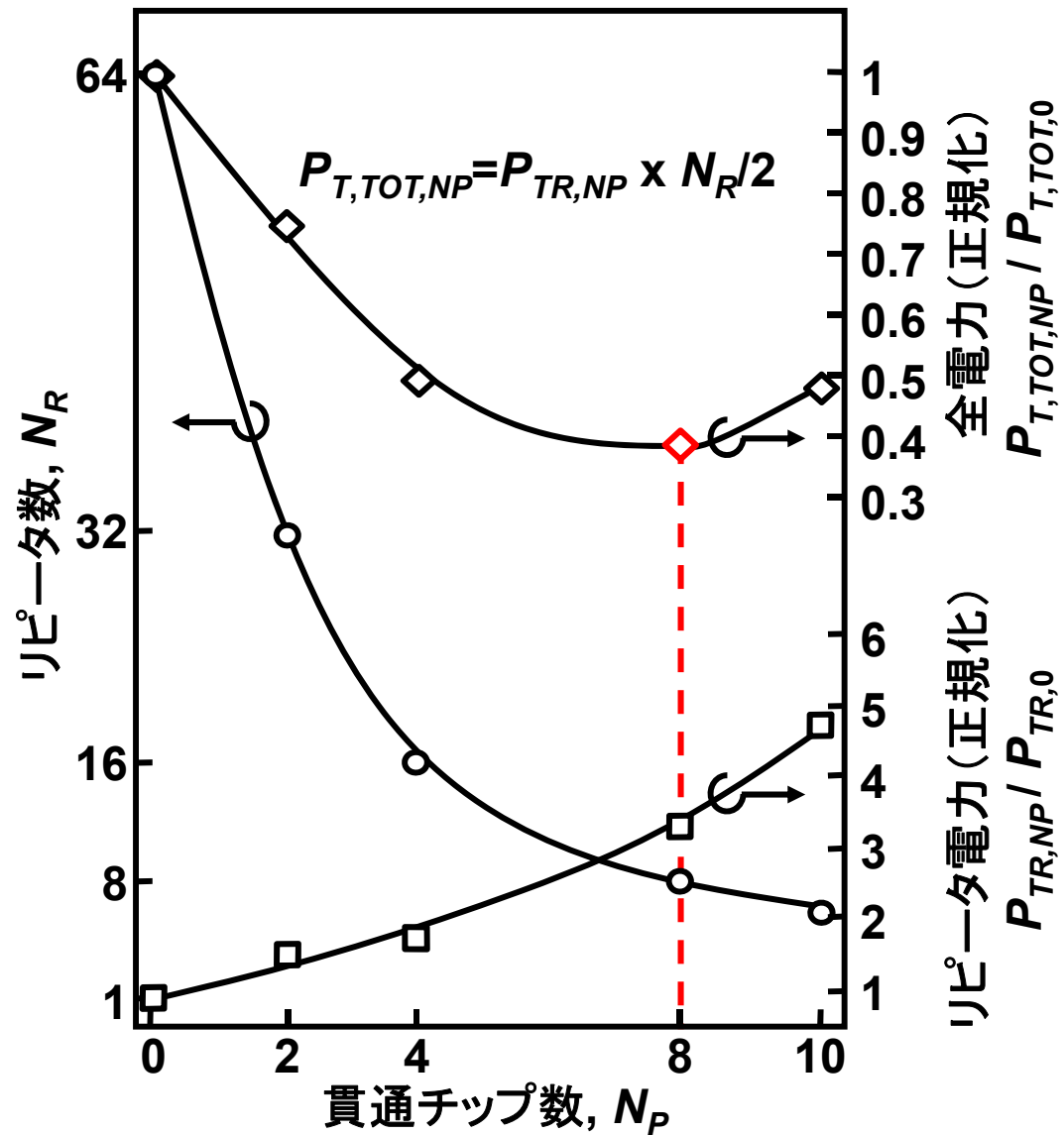
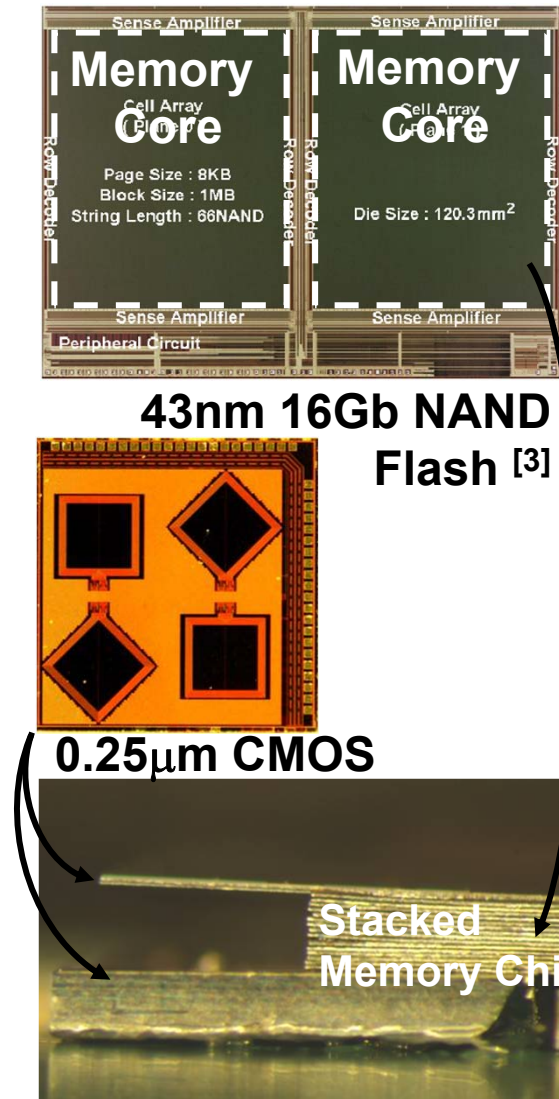
シリコン基板による遮断効果



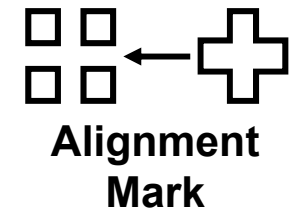
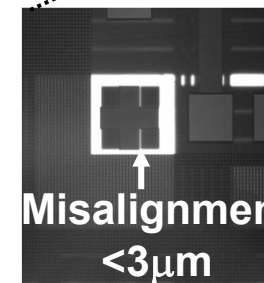
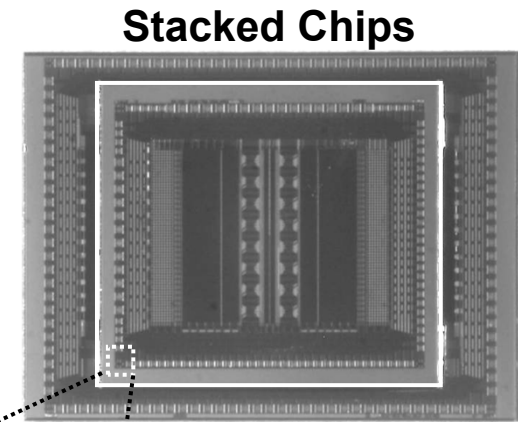
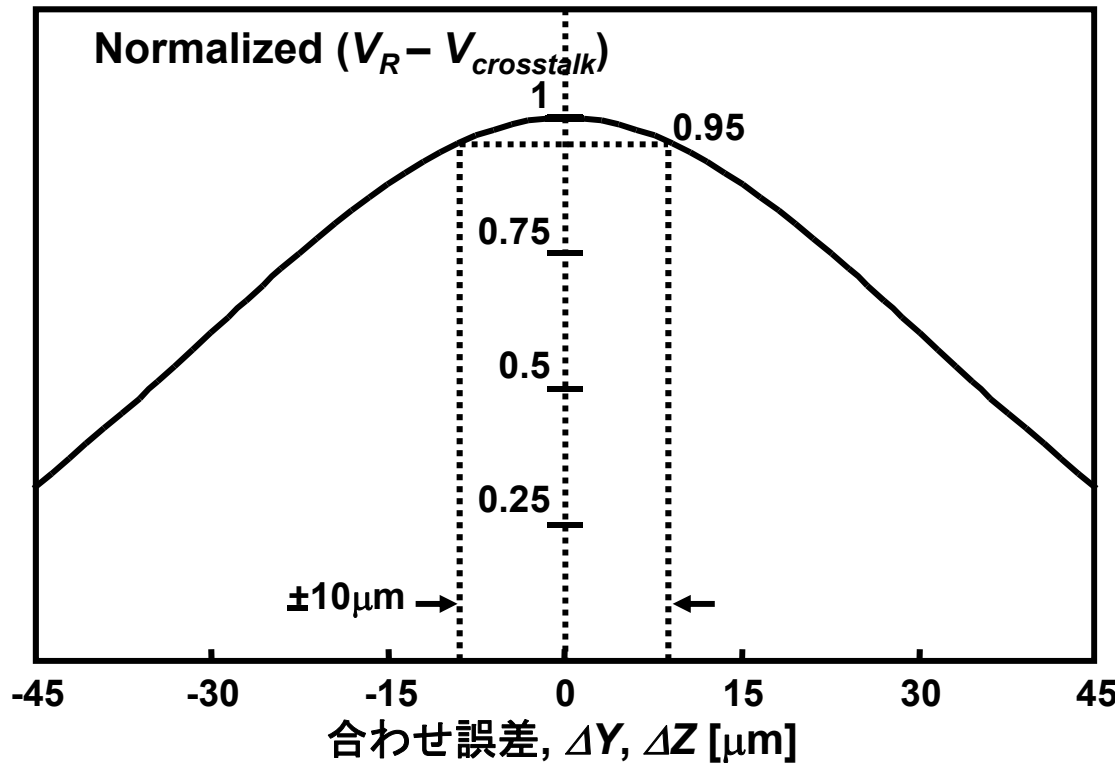
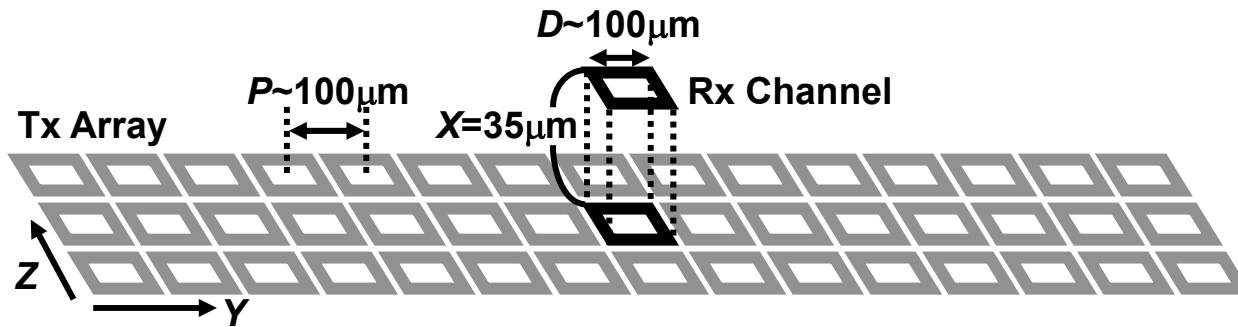
電源線による遮断効果



ビット線・ワード線による遮断効果



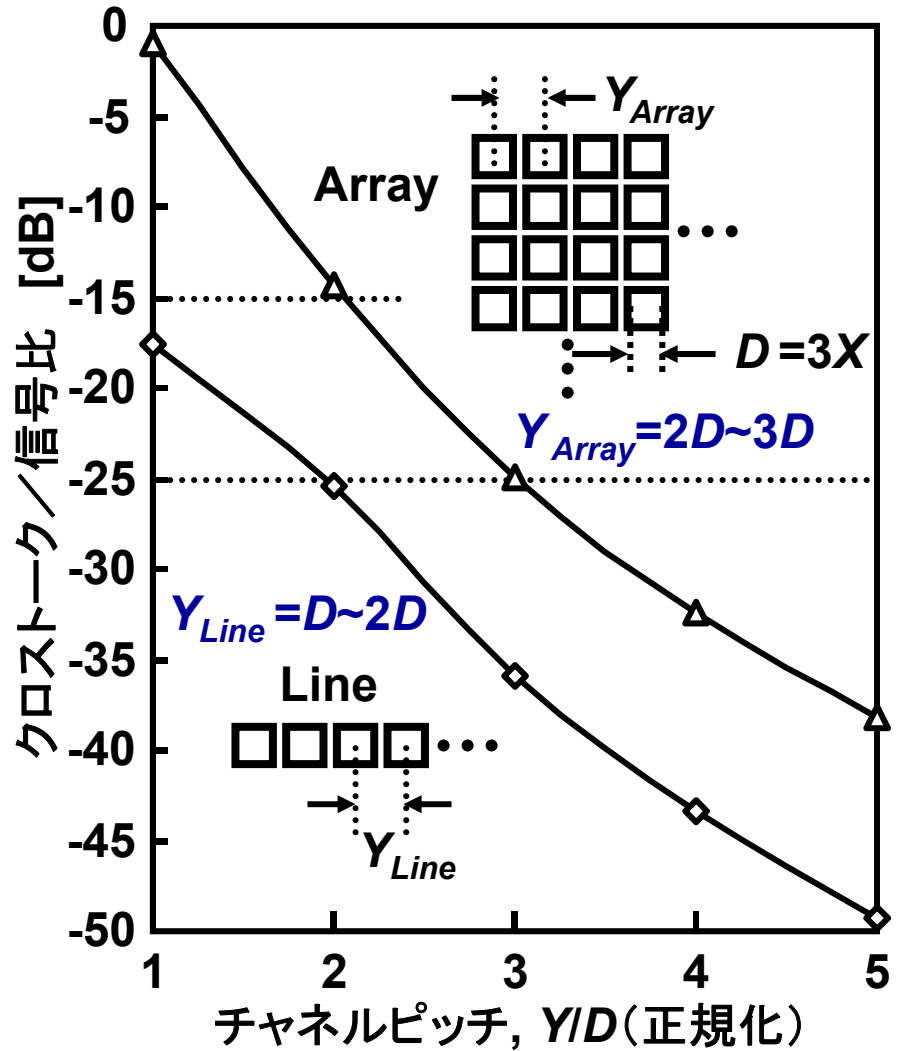
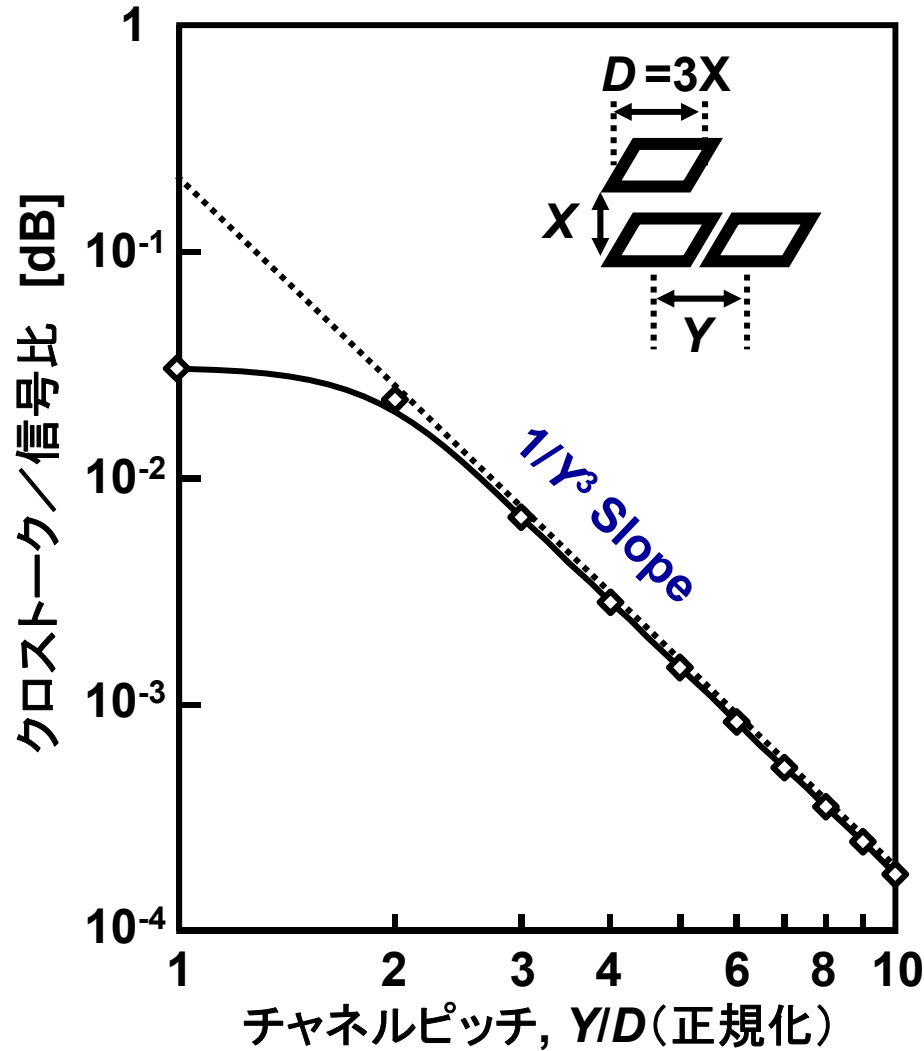
チップの位置合わせ耐性



[21] SSDM'08, Keio Univ.

・コイルサイズの±10% (典型的には±10mm) の合せ誤差でも問題なし

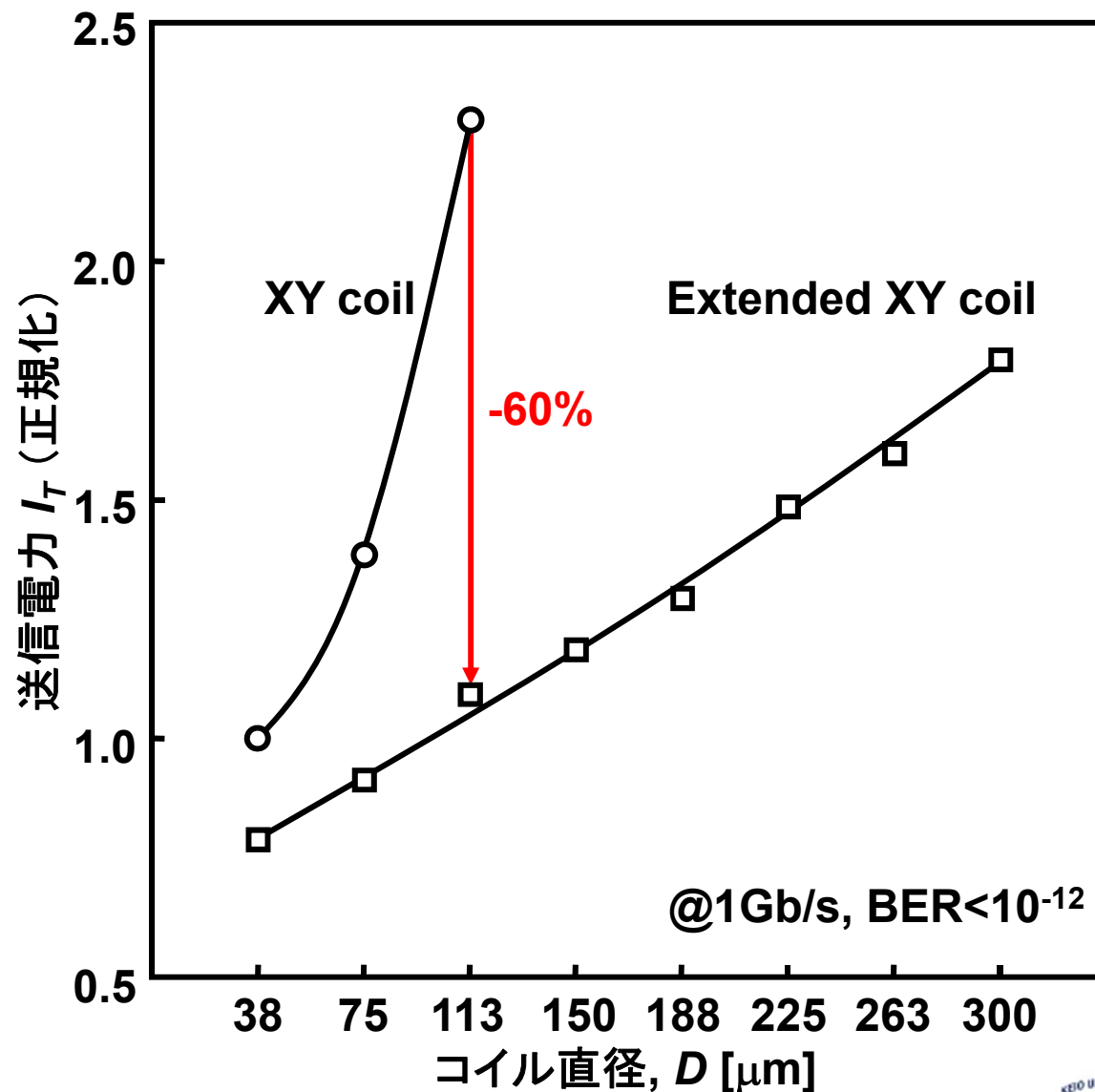
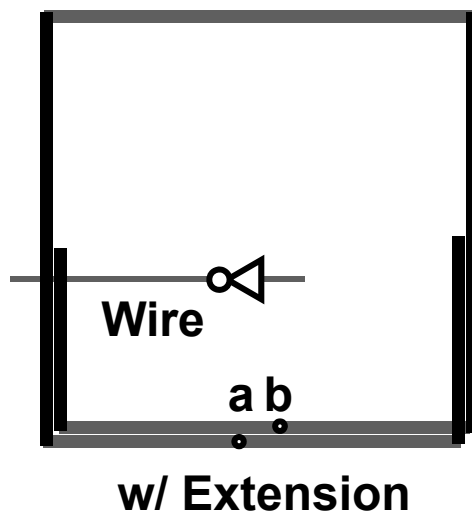
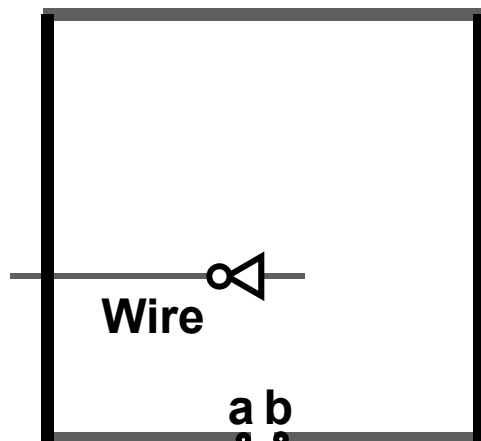
チャンネルピッチとクロストーク



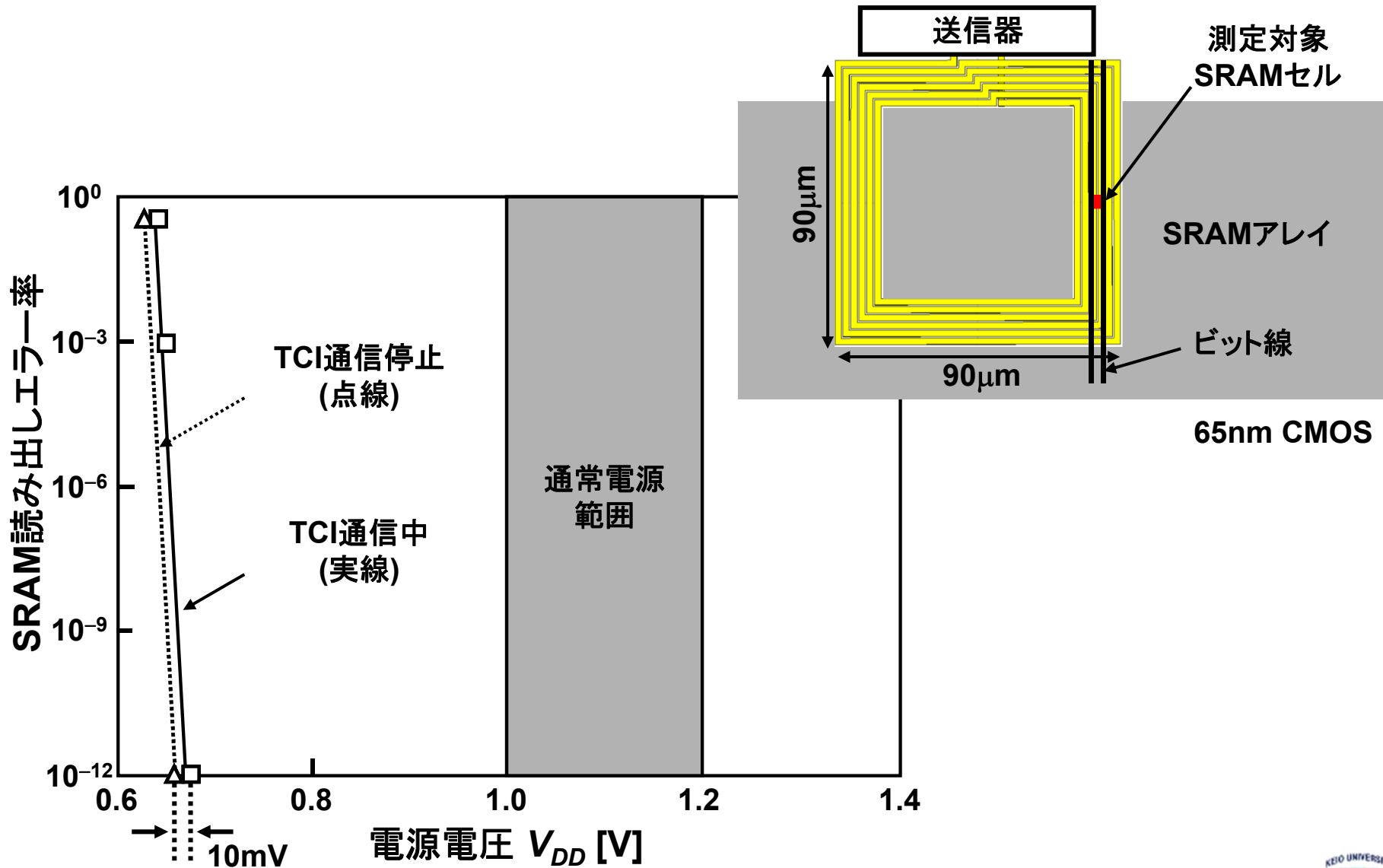
[3] CICC'04, Keio Univ.



デジタル配線からのノイズ耐性

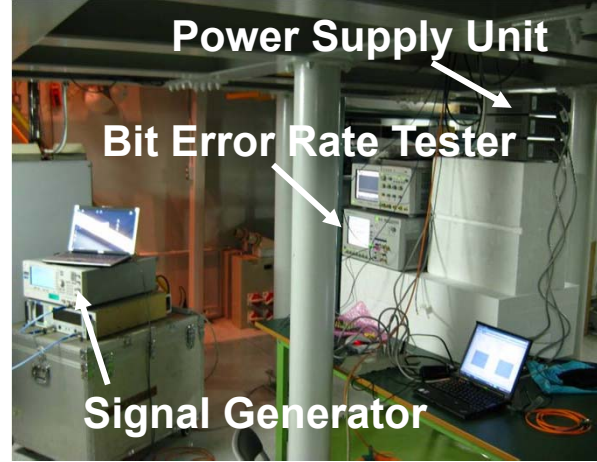
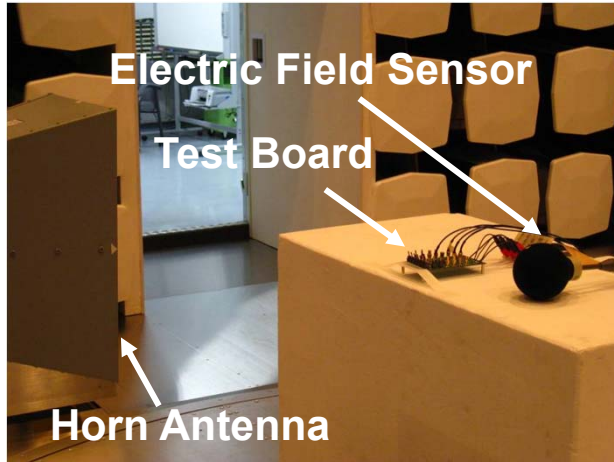


SRAMビット線にコイル配置

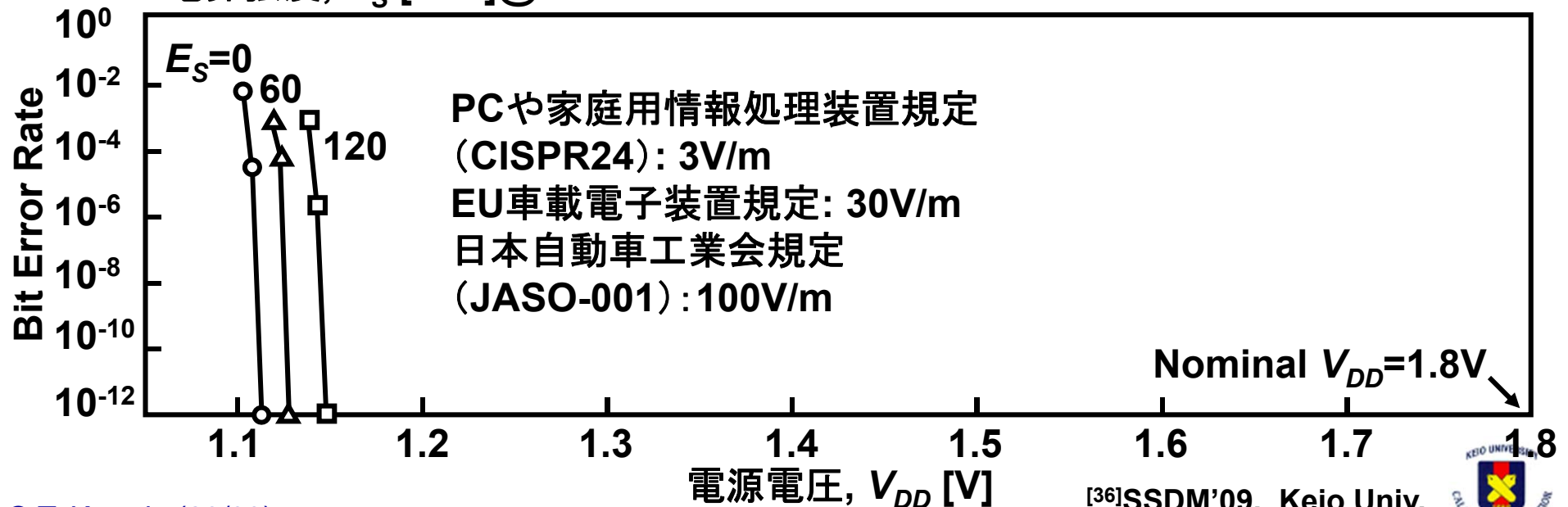


電磁妨害耐量(EMS)

- 環境ノイズの影響: 問題なし, スケーリングする程低減される



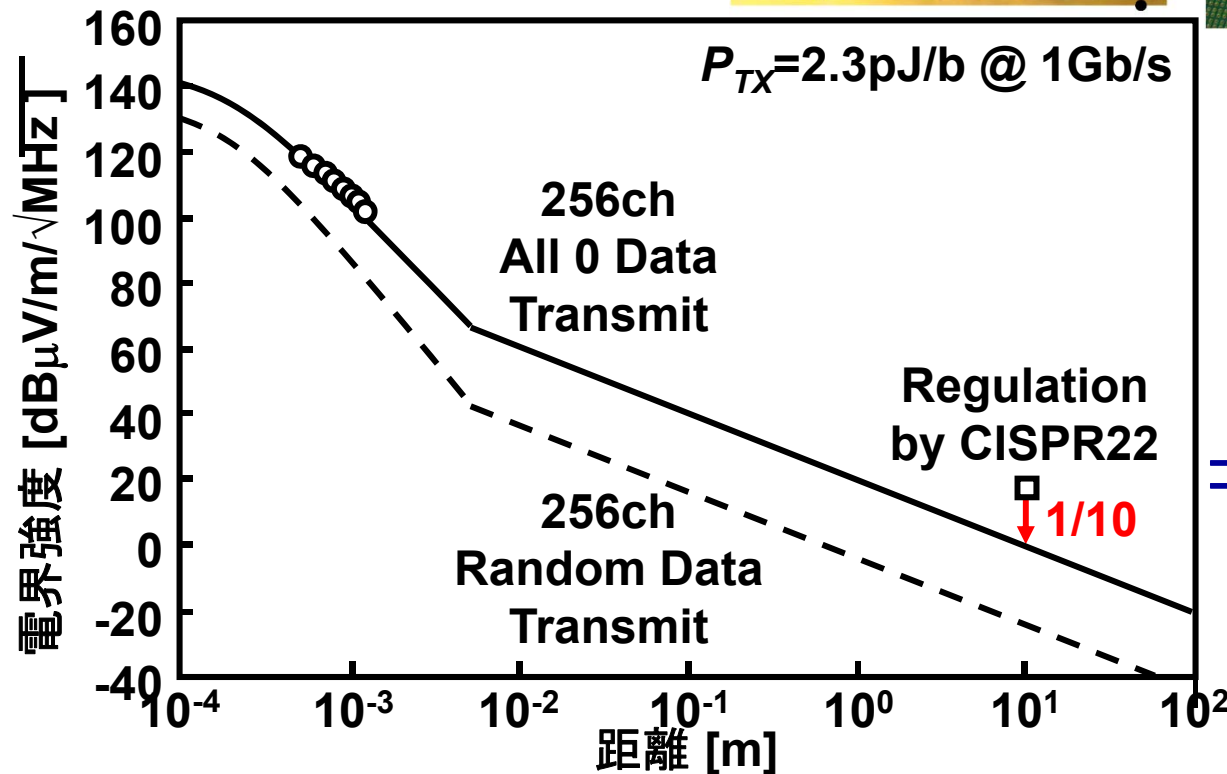
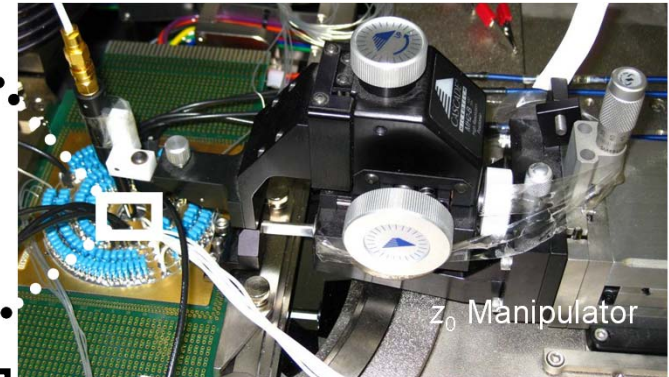
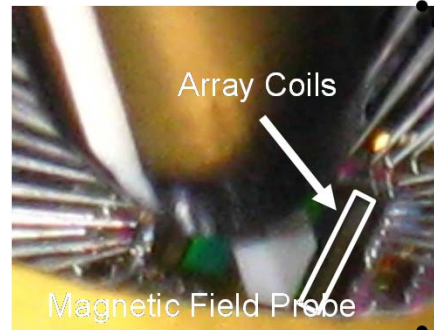
電界強度, E_s [V/m]@1GHz



不要放射(EMI)

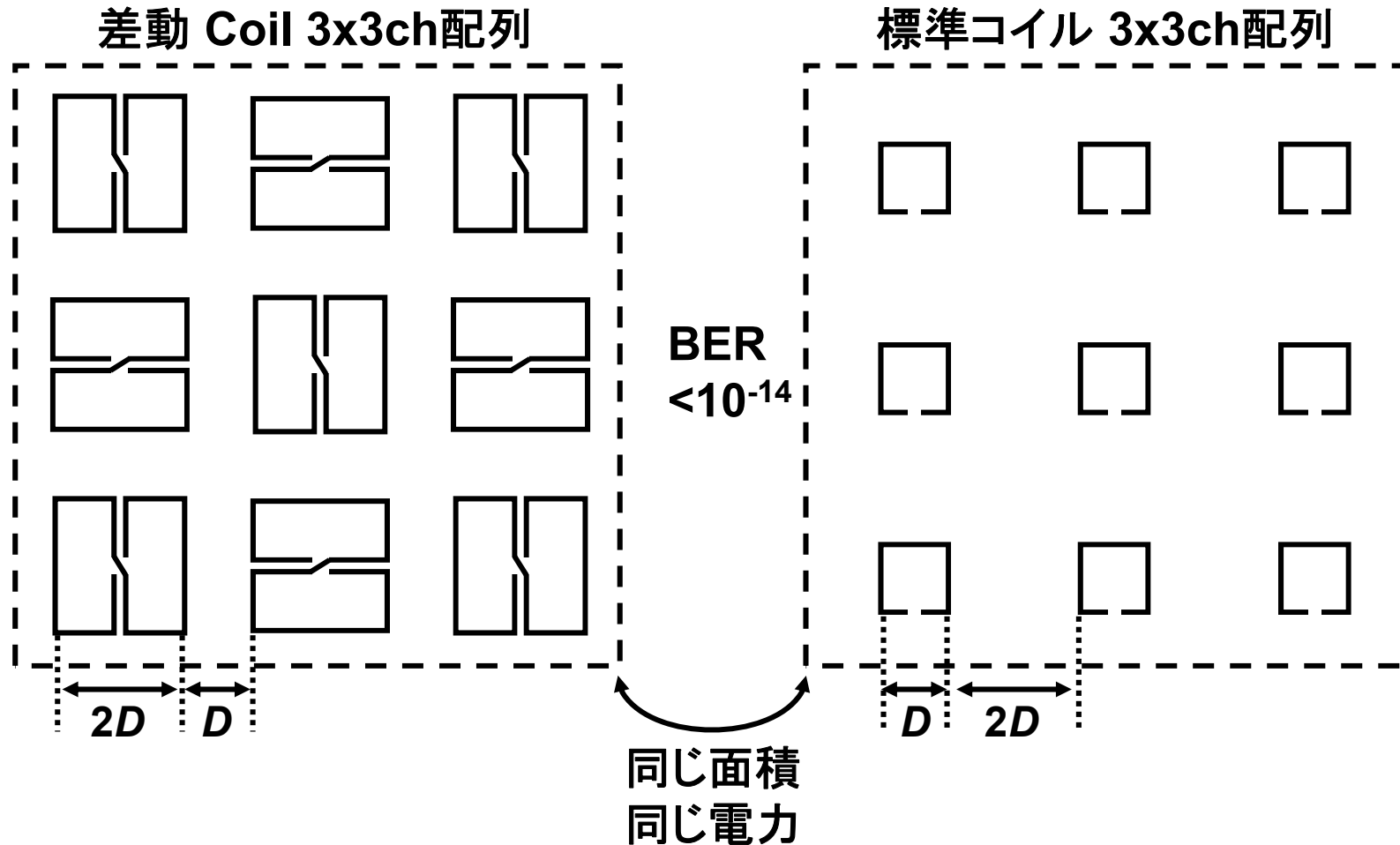
- 環境へのノイズ: VCCIの規制値より十分に低い

究極の解決策:
差動方式



コイルを800万個搭載可能

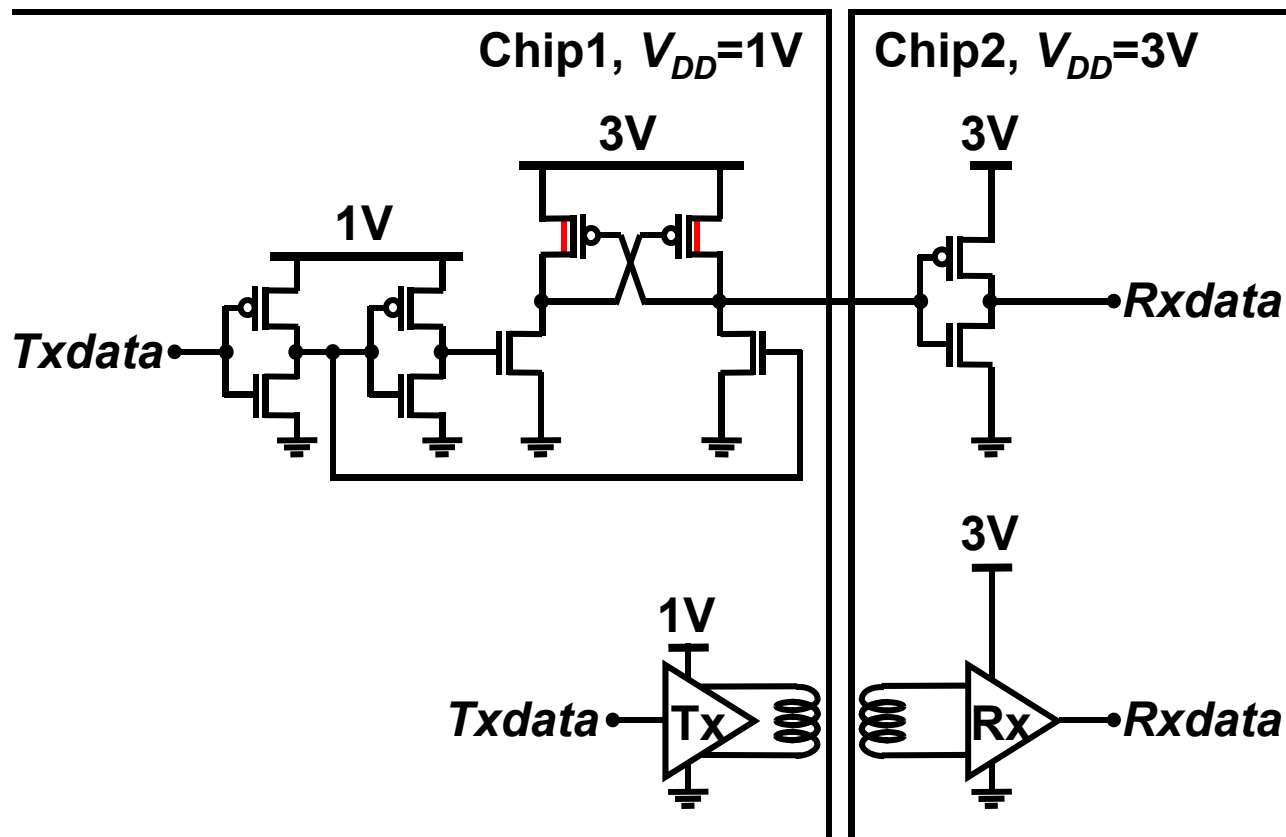
差動コイル



[18]A-SSCC'07, Keio Univ.

AC結合

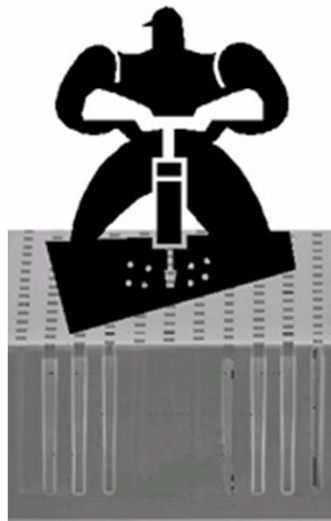
- ・異なる電源電圧間の信号でもレベルシフトが不要。
- ・厚膜ゲートトランジスタなどが不要でインタフェースが簡単。
- ・バーンインやDVS(低電力のための電源電圧可変)が容易に実現。



[7] ESSCIRC'06, Keio Univ.

低コスト

	TCI	TSV
プロセス	標準CMOS	新開発
ESD保護回路	不要	必要
コスト	低い	高い



EMC-3D CoO Goals



1.2万円/600チップ = 20円/チップ

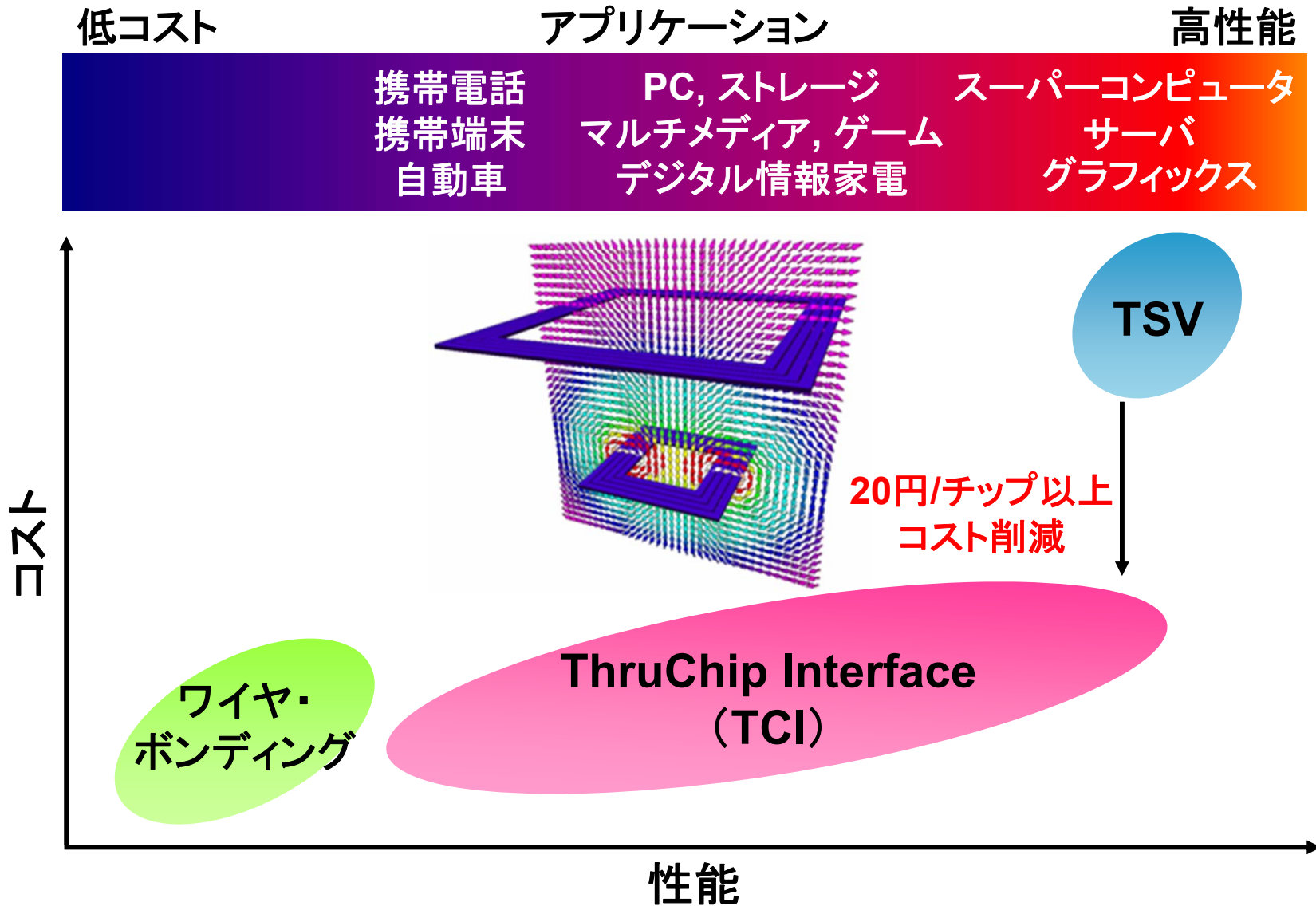


EMC-3D Pan Pac 2007 Symposium
Jan. 29-31, 2007
Page27



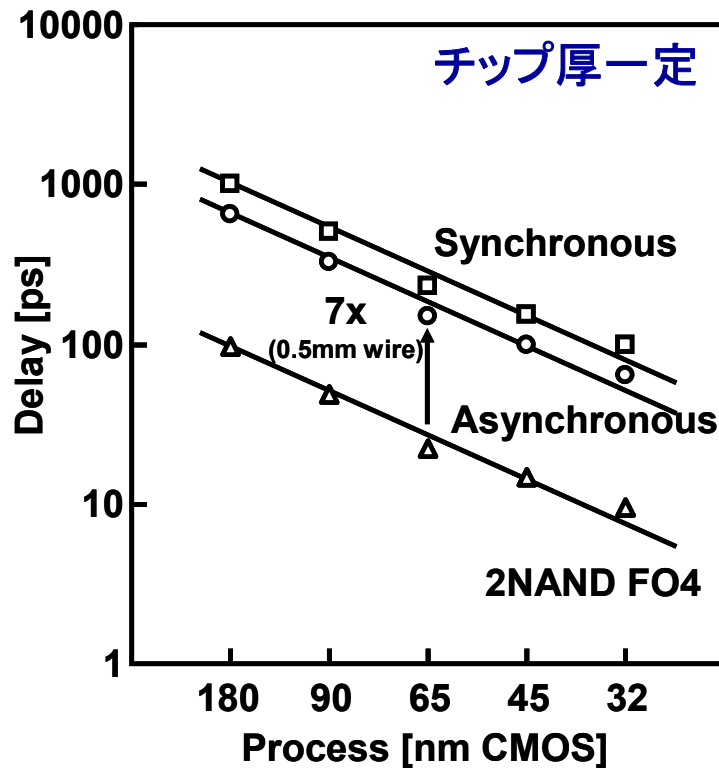
EMC-3D : TSV promotion community
<http://www.emc3d.org/>

TSVと同程度の性能を安く実現



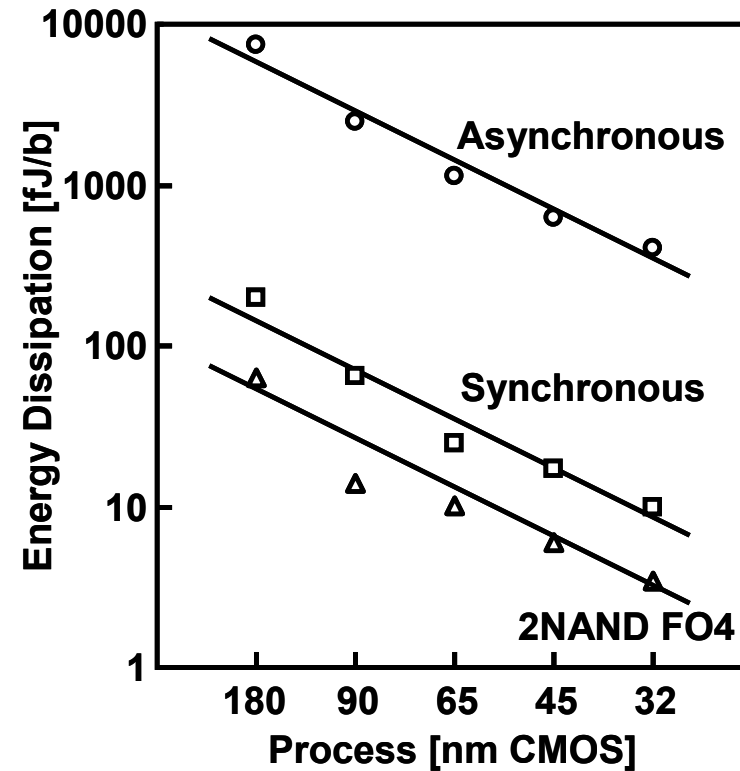
スケーリングする性能

■ 遅延時間



2NAND FO4 7段~10段
または
0.5mm長配線(65nm)

■ 消費エネルギー

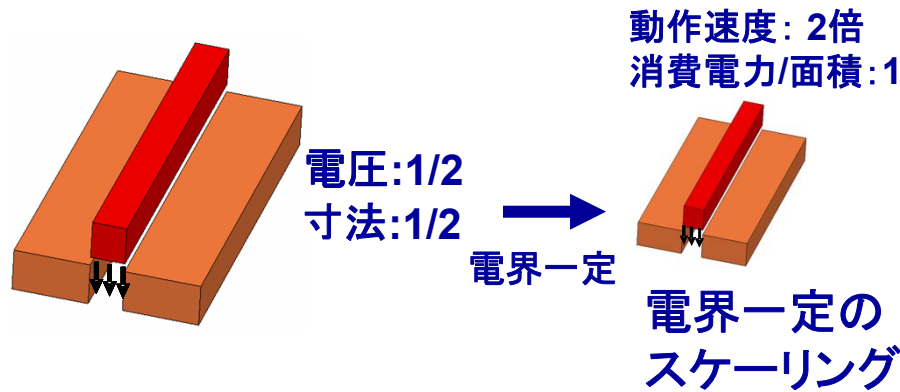


2NAND FO4 4段~80段

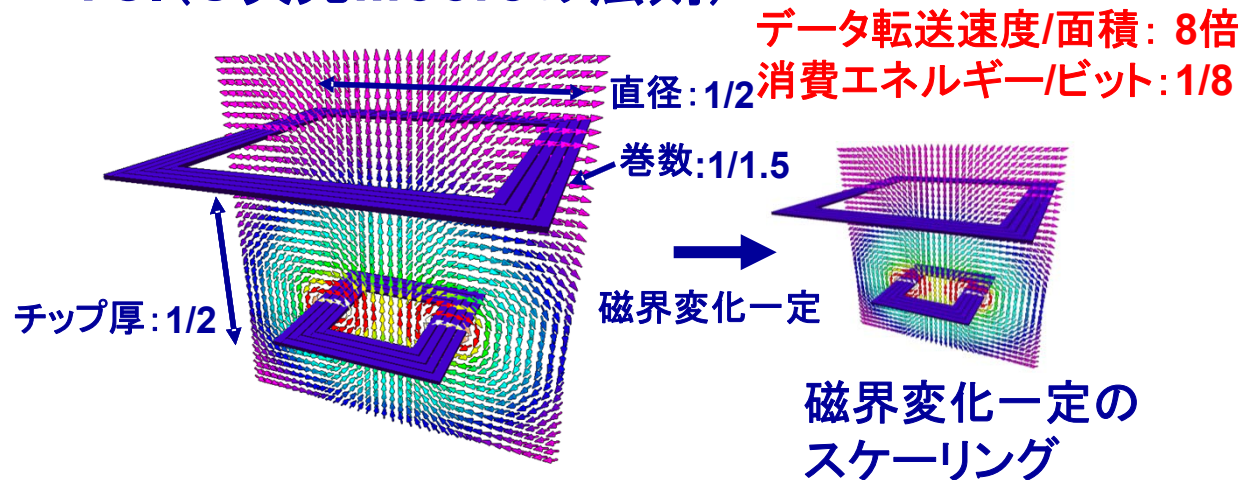
3次元スケーリングシナリオ

スケーリング: 性能・コスト比が指数関数的に改善

■ 電界効果トランジスタ (Mooreの法則)



■ TCI (3次元Mooreの法則)

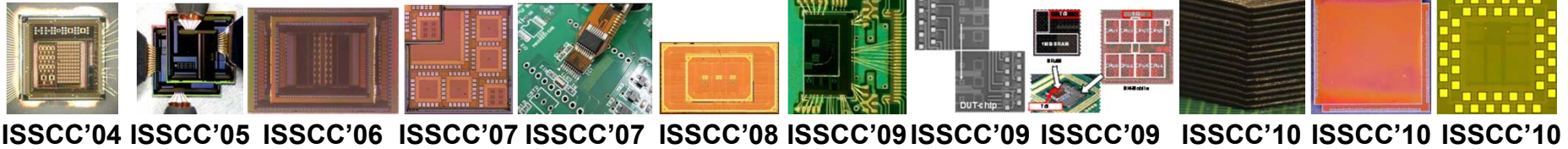


トランジスタの寸法	[x]	$1/\alpha$
電源電圧	[V]	$1/\alpha$
チップの厚さ	[T]	$1/\alpha$
コイルの巻き数(配線総数)	[n]	$\alpha^{0.5}$
電流	[I]	$1/\alpha$
回路の遅延時間	[t]~[CV/I]	$1/\alpha$
コイルの直径	[D]~[1/x]	$1/\alpha$
自己インダクタンス	[L]~[n ² D]	1
磁界の結合定数	[k]	1
受信信号	[v _R]~[kn ² D(I/t)]	1
クロストーク	[v _{RS} /v _{RN}]	1
データ転送速度 / チャンネル	[1/t]	α
チャンネル数 / 面積	[1/D ²]	α^2
総データ転送速度 / 面積	[1/tD ²]	α^3
消費エネルギー / ビット	[ItV]	$1/\alpha^3$

[7] ESSCIRC'06, Keio Univ.

研究成果

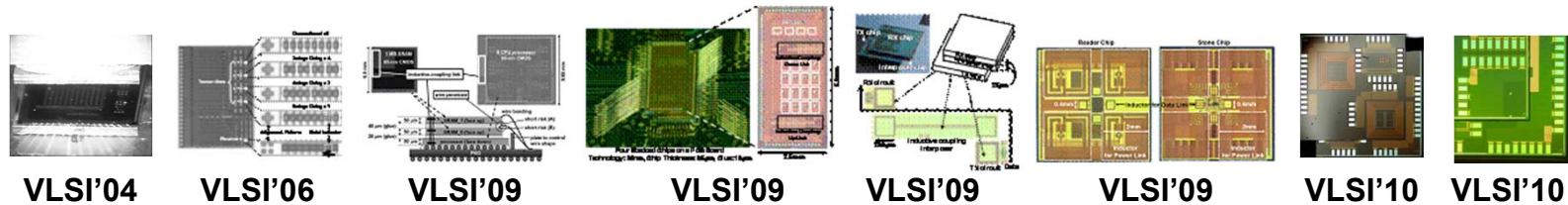
■ ISSCCで14論文



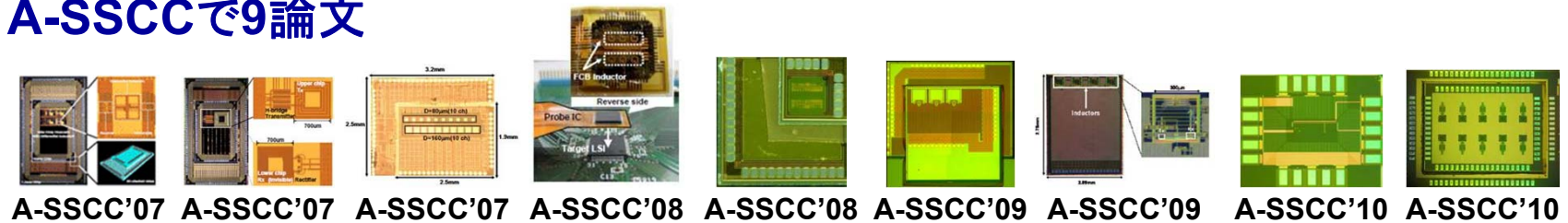
■ CICCで3論文



■ VLSI回路シンポジウムで8論文



■ A-SSCCで9論文

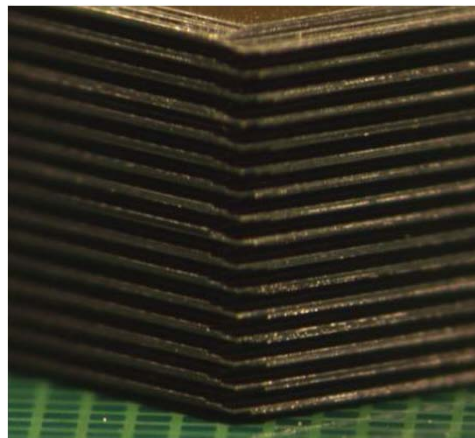


内容

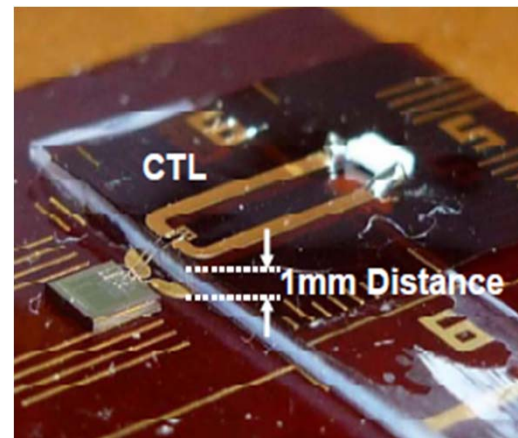
1. 磁界結合によるチップ間通信
ThruChip Interface (TCI)

2. TCIの応用

3. 電磁界結合によるボード間通信
Coupled Transmission Line (CTL)



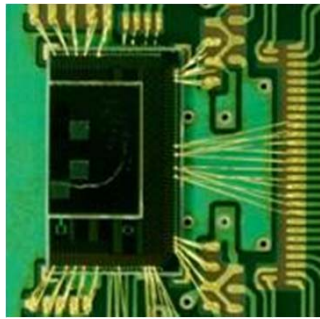
チップレベル
3D IC
 μm , 5Tbps, TCI



ボードレベル
非接触コネクタ
mm, 50Gbps, CTL

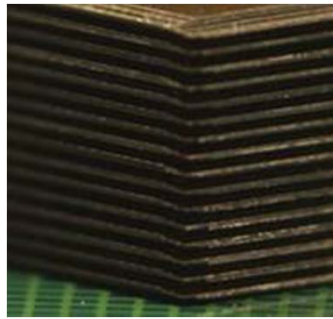
実用化研究

■ 8年間の基礎研究を終え実用段階

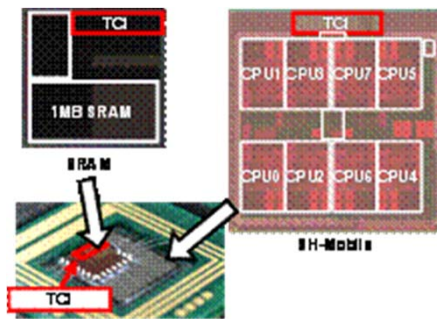


ISSCC'09

積層メモリ

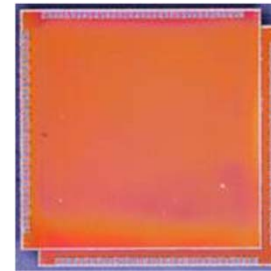


ISSCC'10

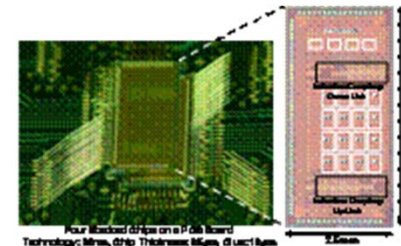


ISSCC'09, VLSI'09

プロセッサ・メモリ高速リンク

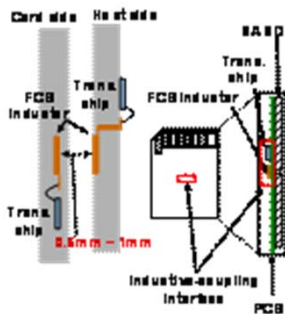


ISSCC'10



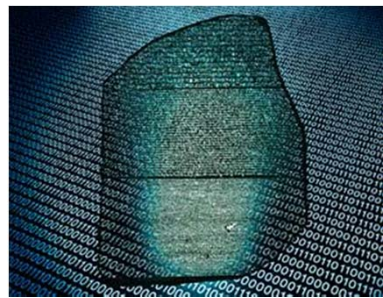
VLSI'09

積層プロセッサ

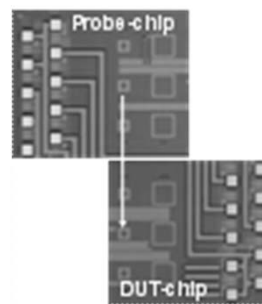


ISSCC'10

非接触メモリ

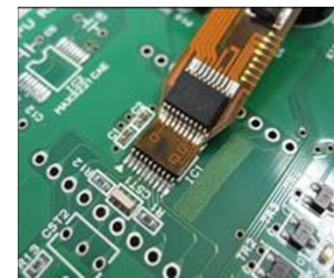


VLSI'09



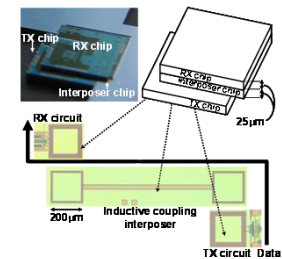
ISSCC'09

非接触ウェハテスト



ISSCC'07, A-SSCC'08

バスプローブ



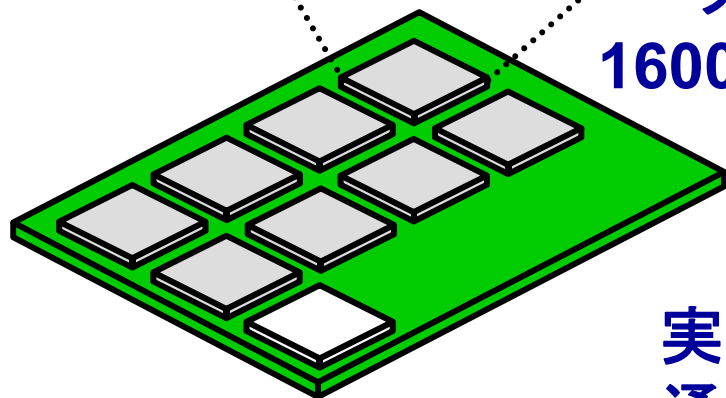
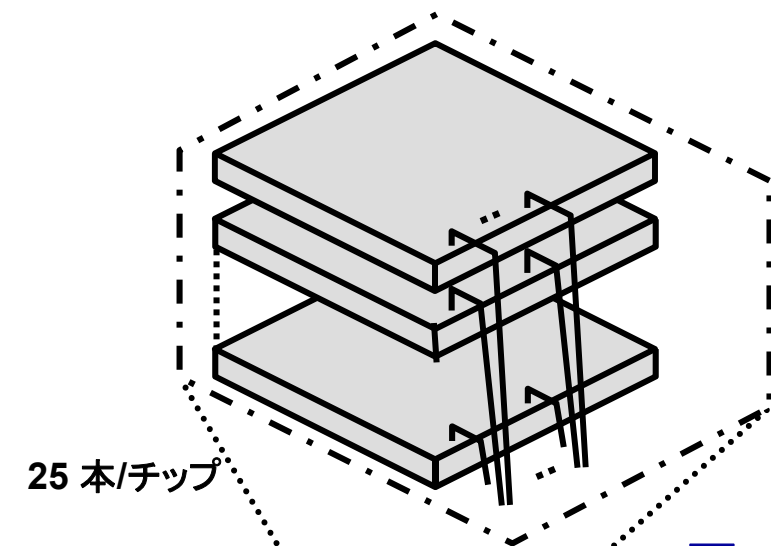
VLSI'09

インタポーザ

メモリの積層:SSD応用

1つのパッケージに8枚のチップを積層

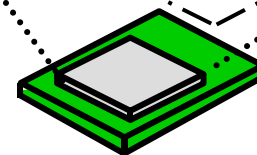
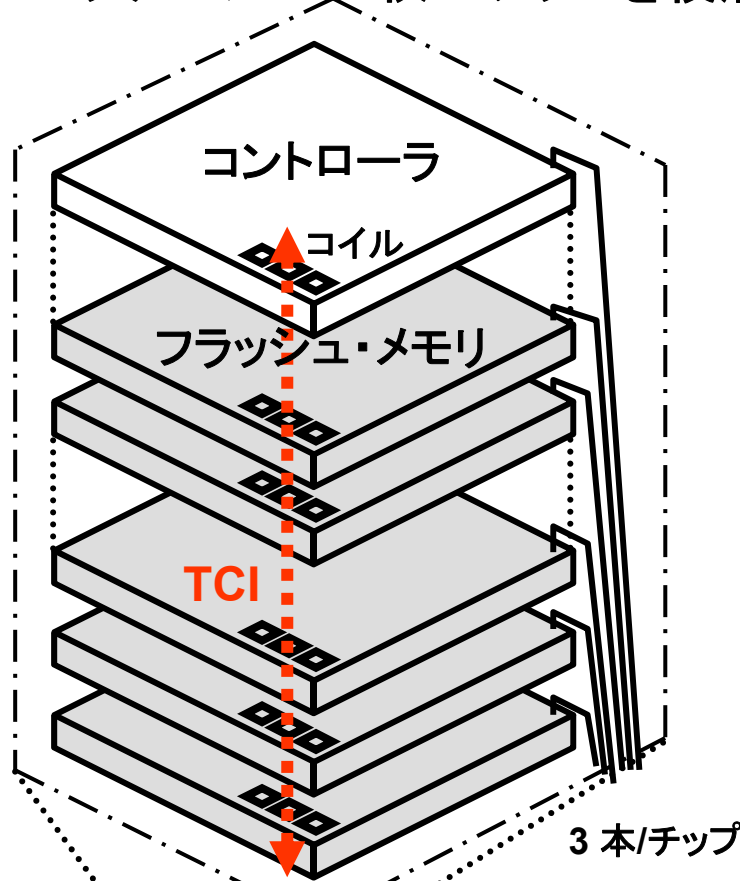
1つのパッケージに65枚のチップを積層



従来SSD

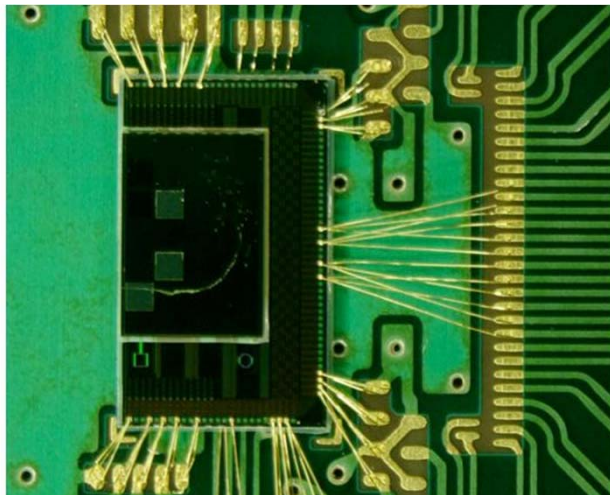
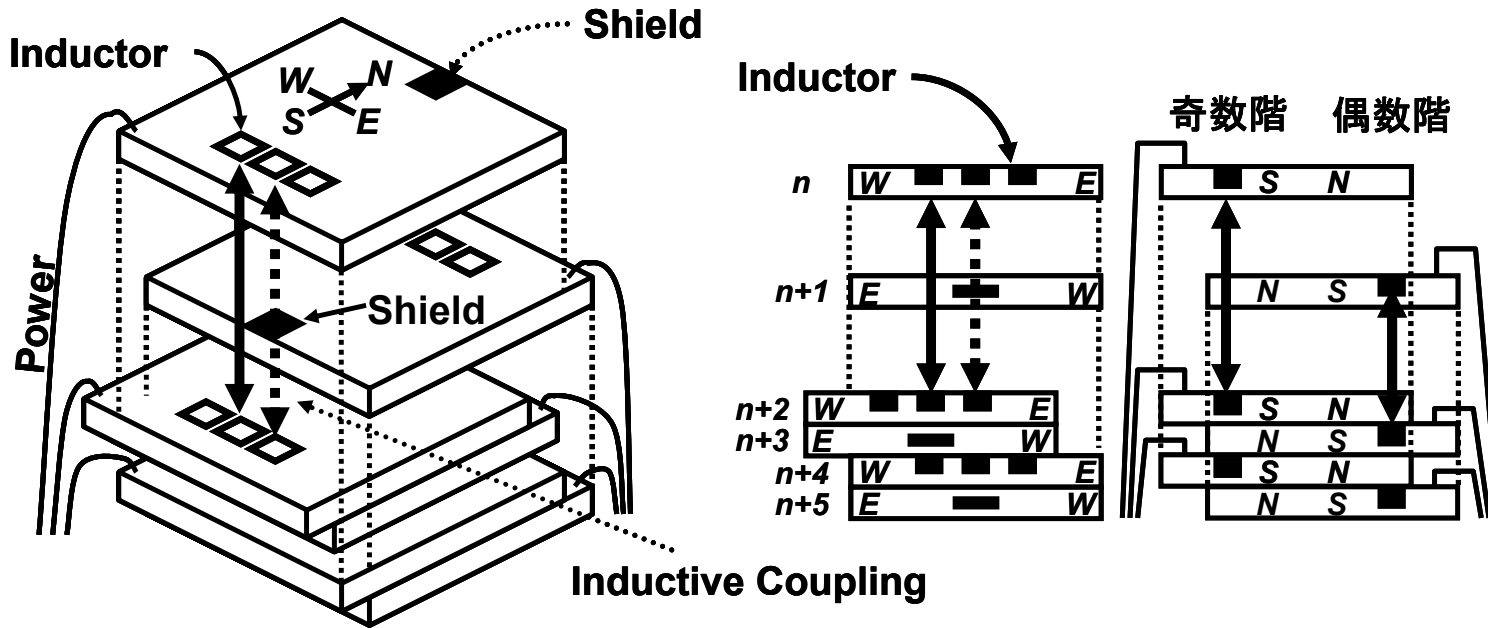
ワイヤー:
1600本→200本

実装面積: 1/8
通信電力: 1/2

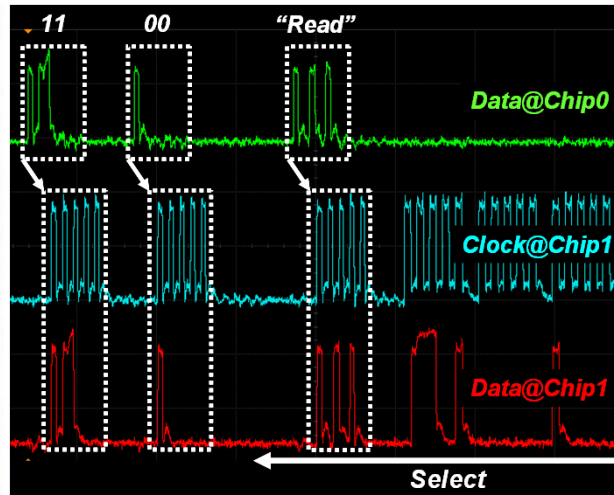


提案SSD

ランダムアクセスに成功



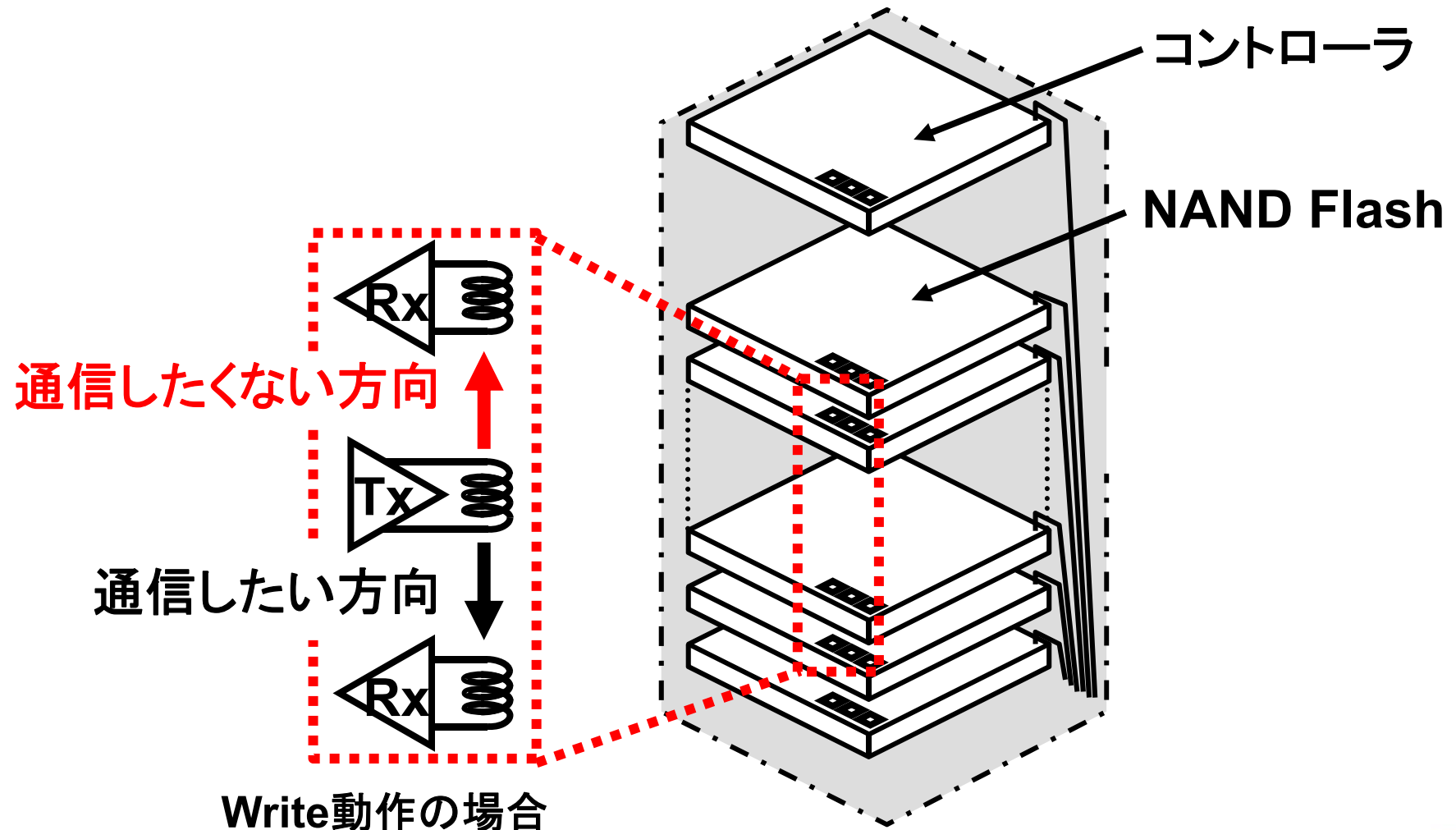
NAND Stacking for SSD 180nm



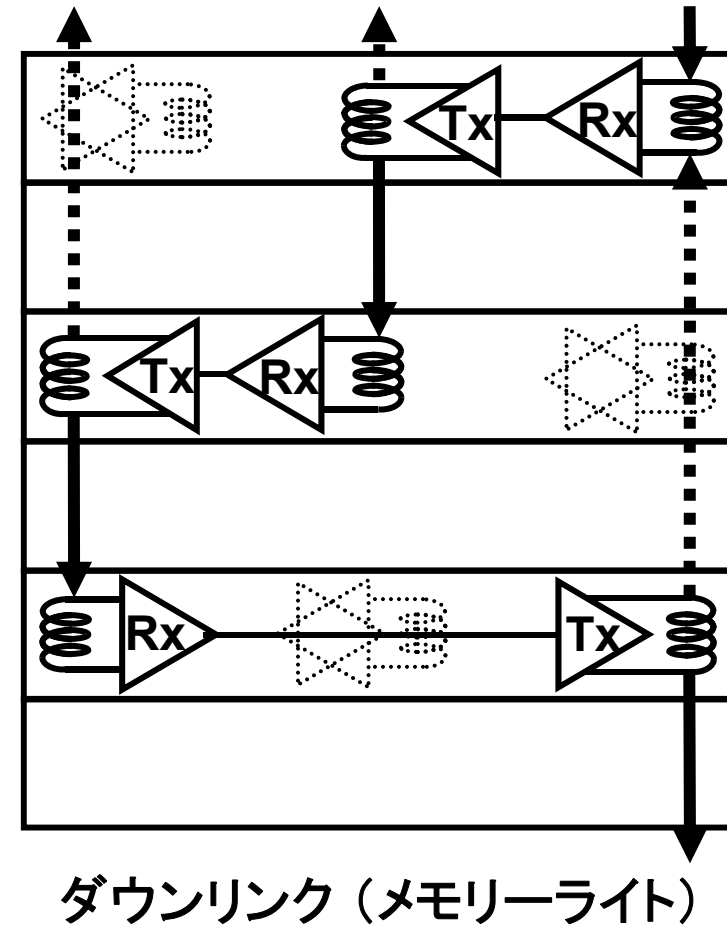
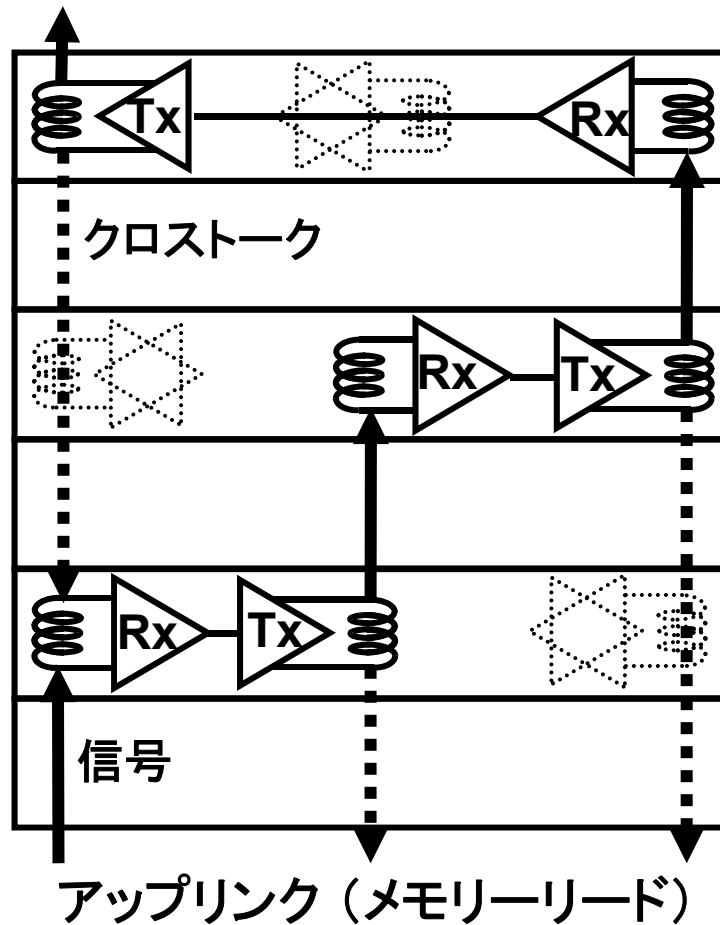
	Proposed	Conventional
Interconnect	inductive	Wire
Transmission	Relayed Transmission	Broadcast
Power dissipation	307mW (1)	557mW (2)
Wire	3 wires	25 wires
I/O circuit area	3,645 μm^2 /chip (1)	145,744 μm^2 /chip (40)
Stacking	Half-turned-and-staggered stacking	-
Stacked chips	64chips/package	8chips/package
Packages	1	8
Channels	2 (Odd/Even)	2
Data rate	640Mb/s ($< 1\text{Inductor} \times 2\text{Gb/s/inductor}$)	640Mb/s (16pin \times 40Mb/s/pin)

メモリ積層でのデータ転送方向

■ 同一チップ積層でのデータ転送方向



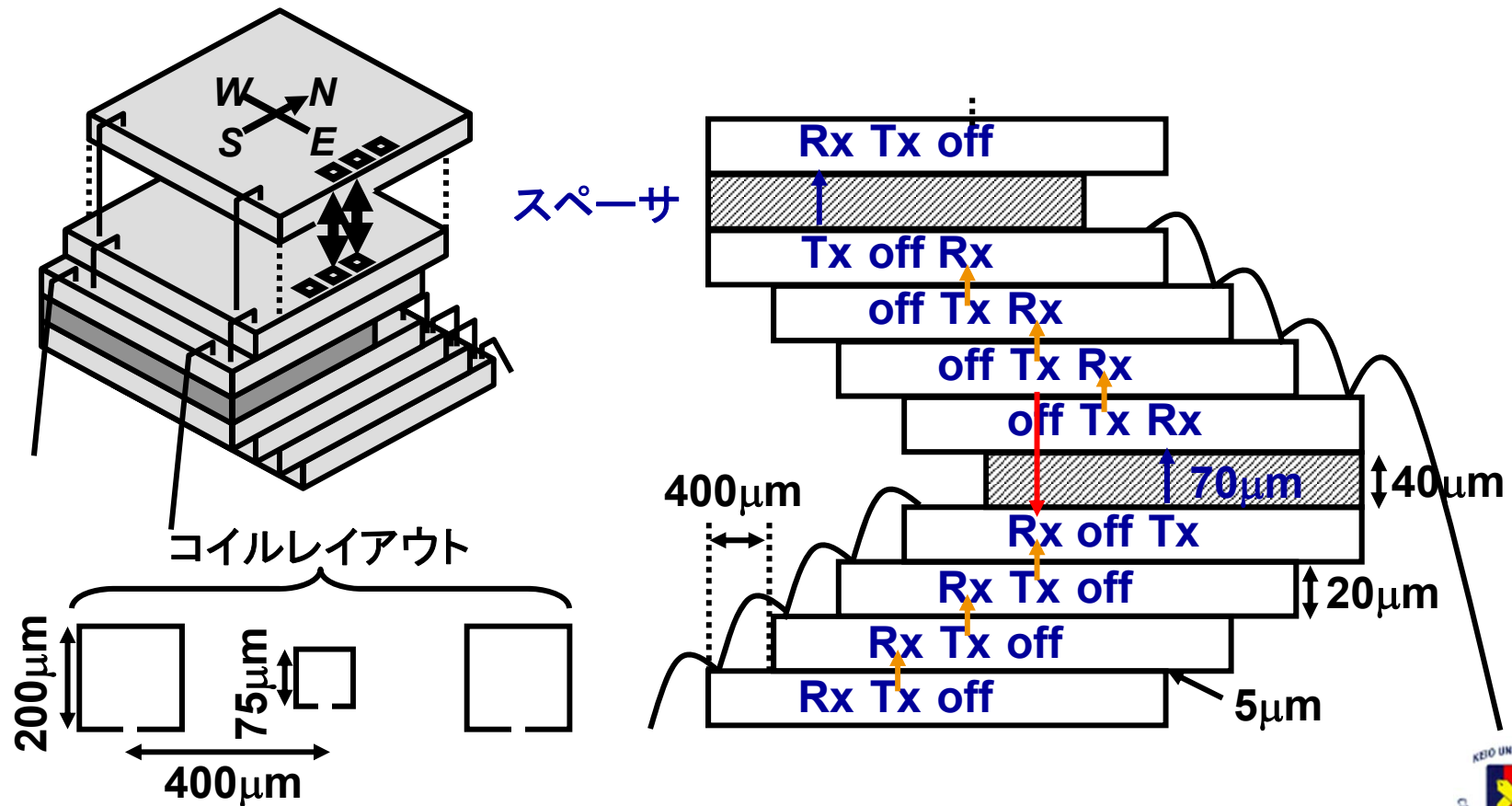
3つのコイルでデータ転送



階段積層方式

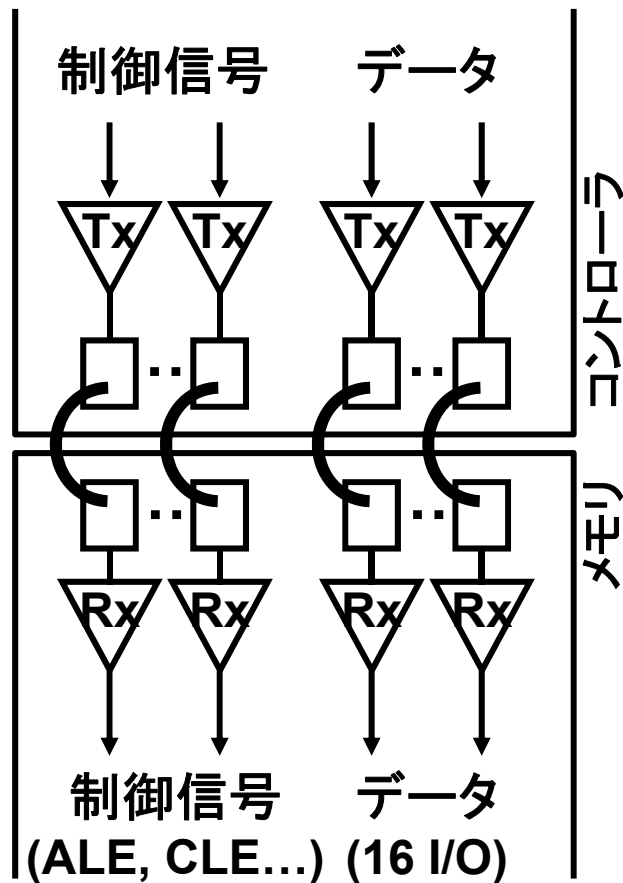
■ 電源ボンディングワイヤとコイル位置重ねを両立

- ずらして積層することでボンディング用空間を確保
- 4チップごとにスペーサーを入れてずらす方向を戻す
- チップの重なった部分でボンディングするのでチップを薄くし易い

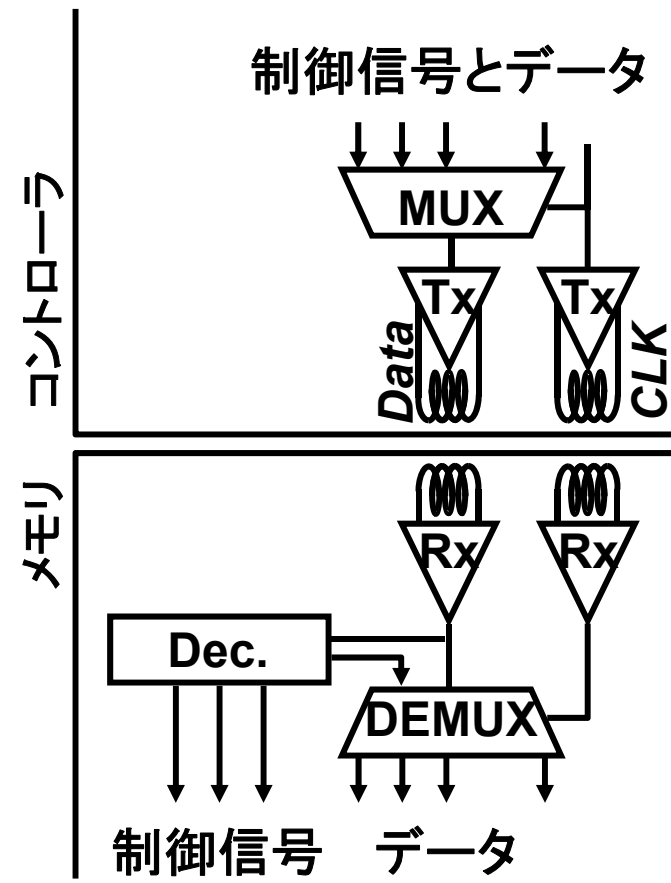
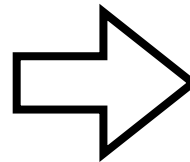


パケット通信

- 制御信号とデータをパケットでまとめる
- MUX/DEMUX: コイル数削減

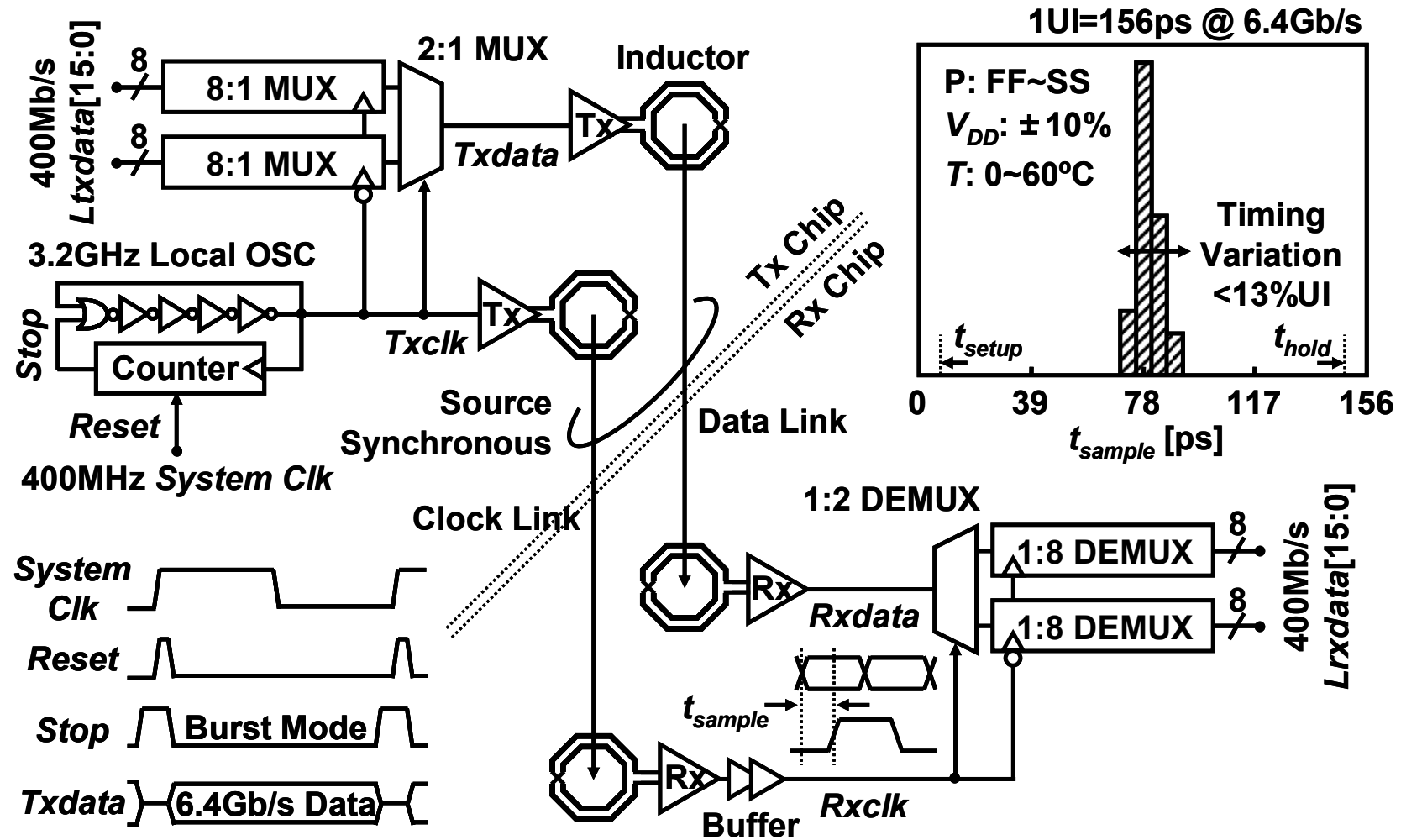


従来 (23配線)



TCI (2コイル)

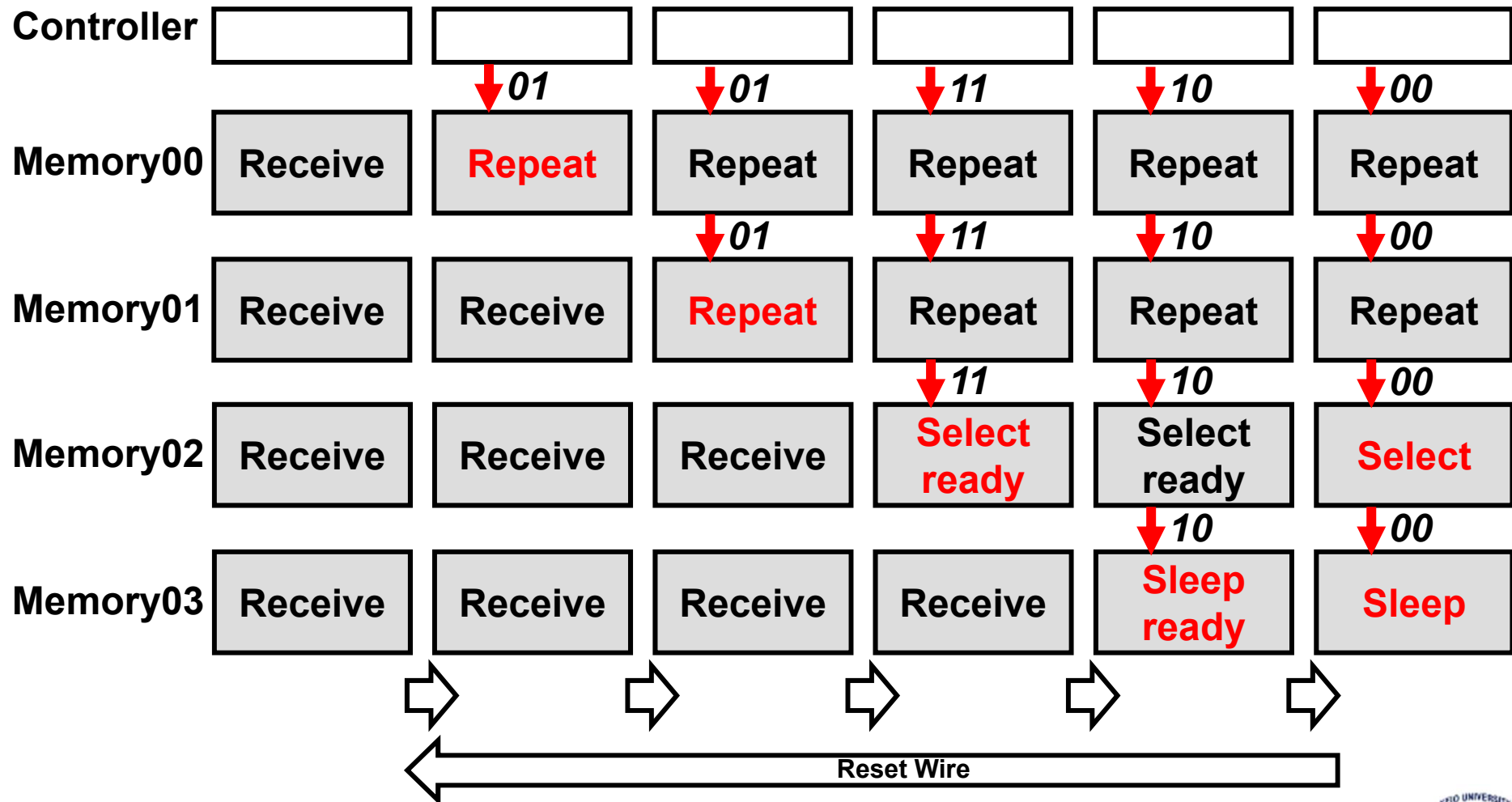
バーストデータ転送



400MHzのクロックでPLL/DLLを用いずに11Gb/sのバーストデータ転送が可能

チップ指定手順

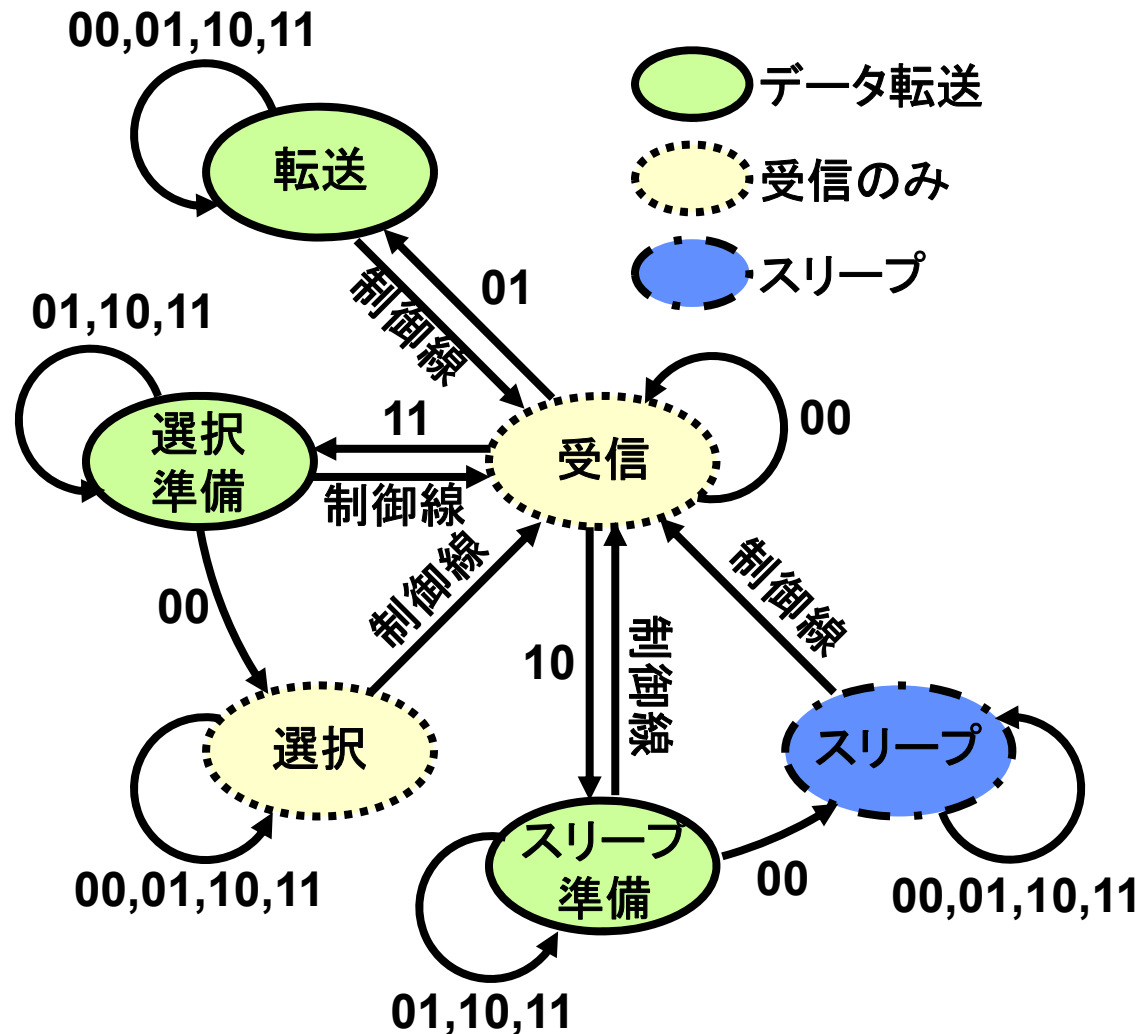
- チップ番号を使用しないため同一チップ積層に最適



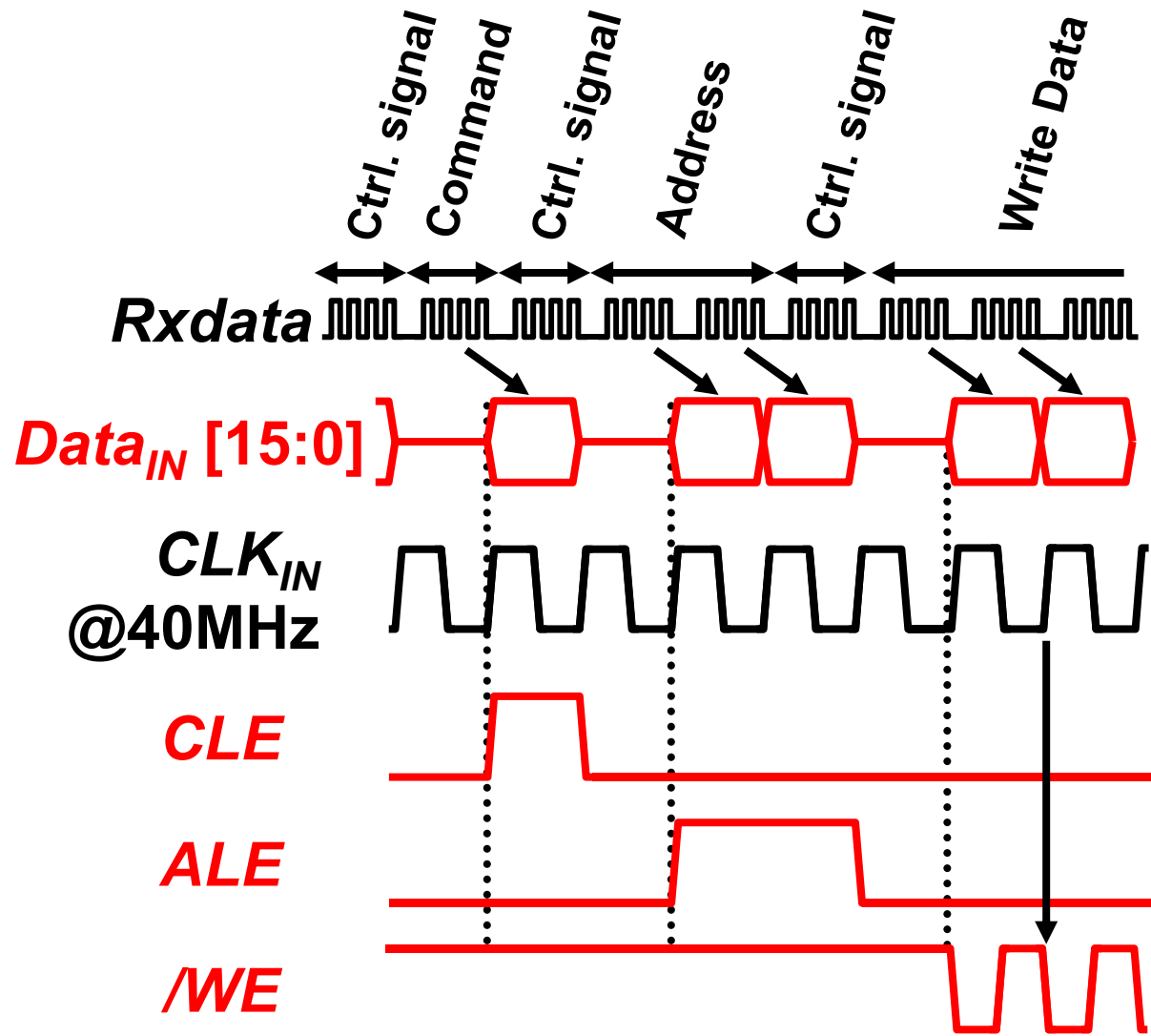
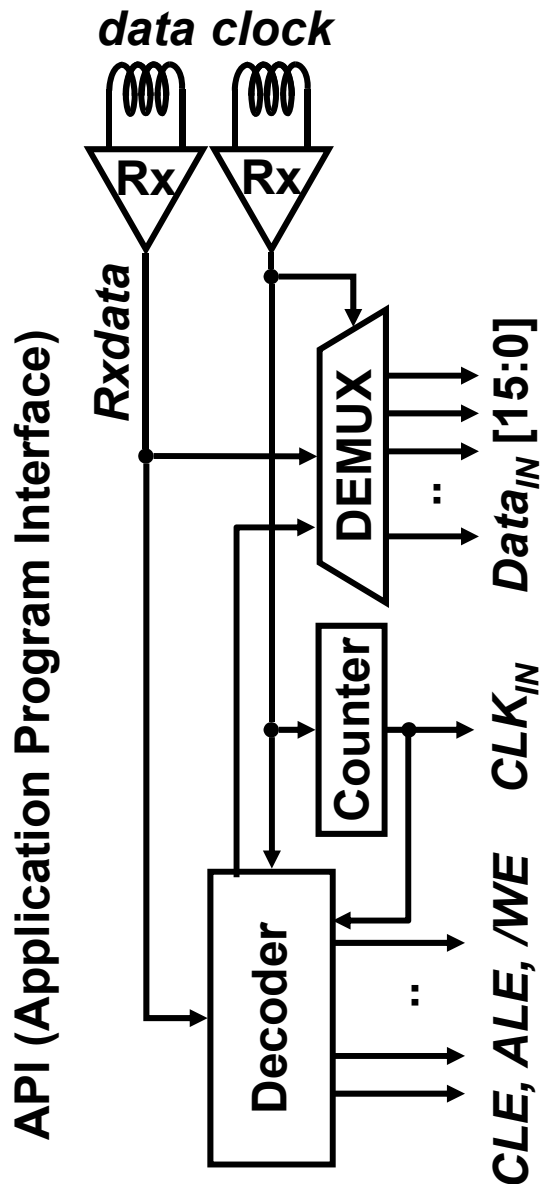
※メモリ2を選択する場合

状態遷移図

■ Repeat / Select / Sleep に指定する

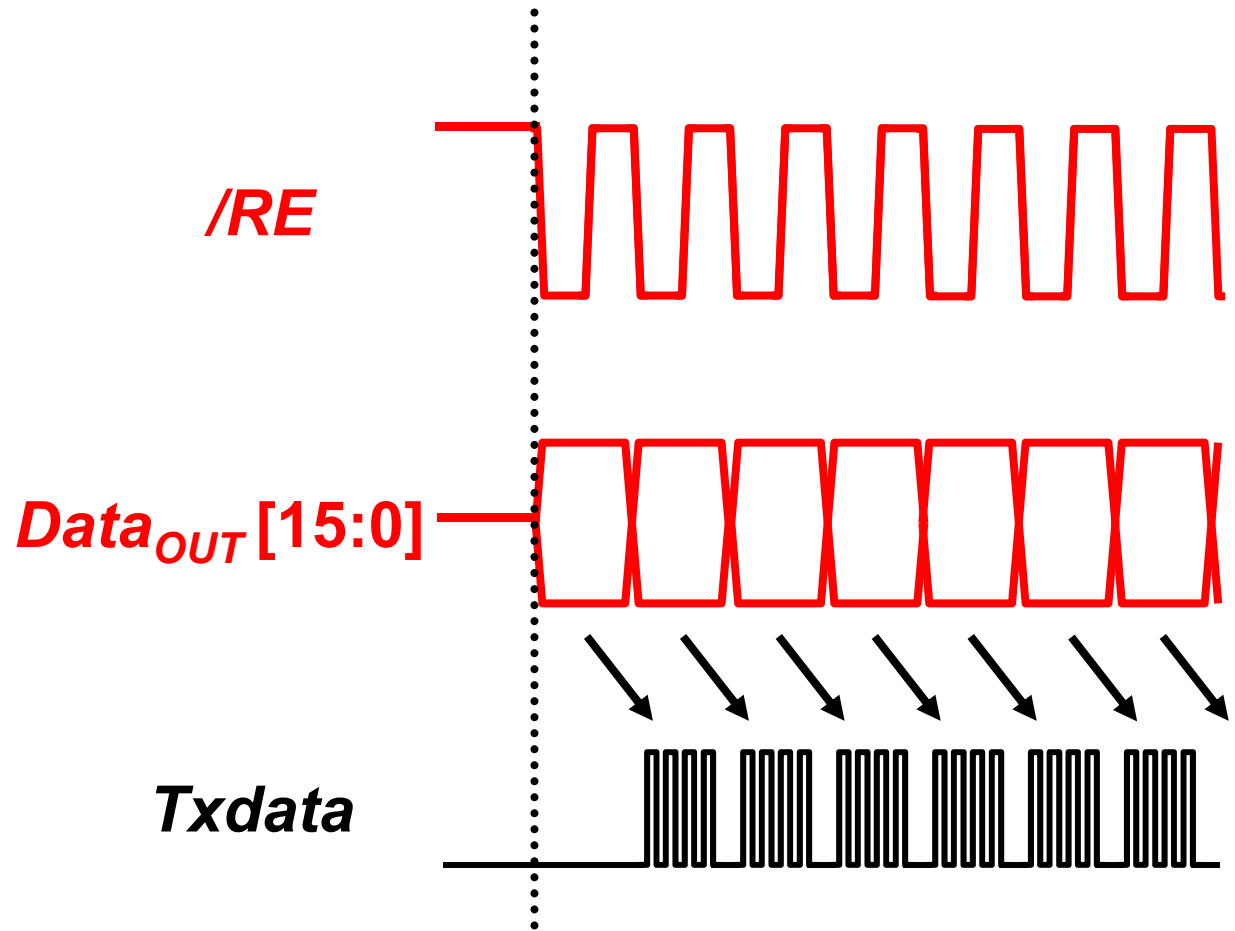
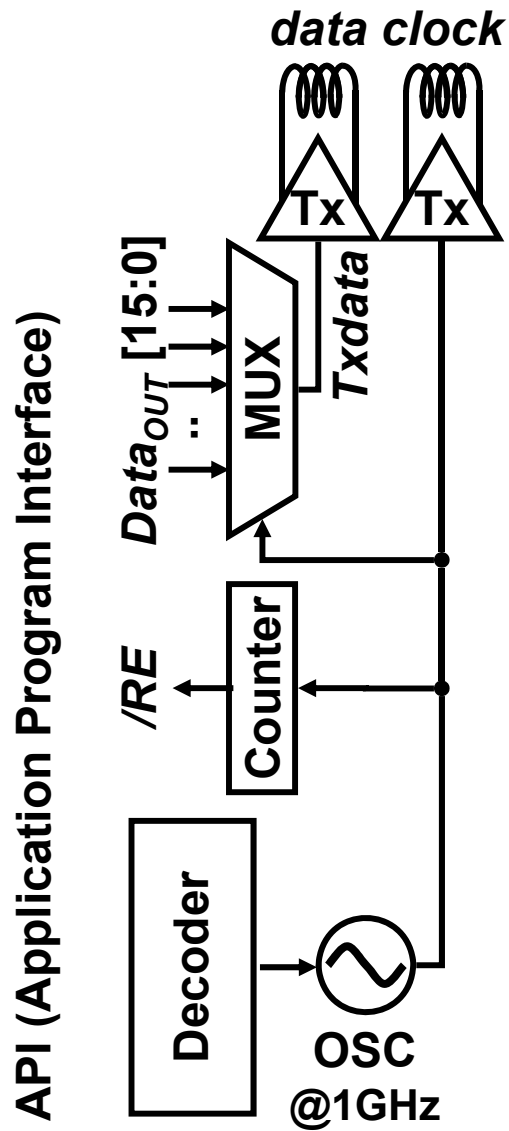


Write動作



標準メモリの波形と同じ

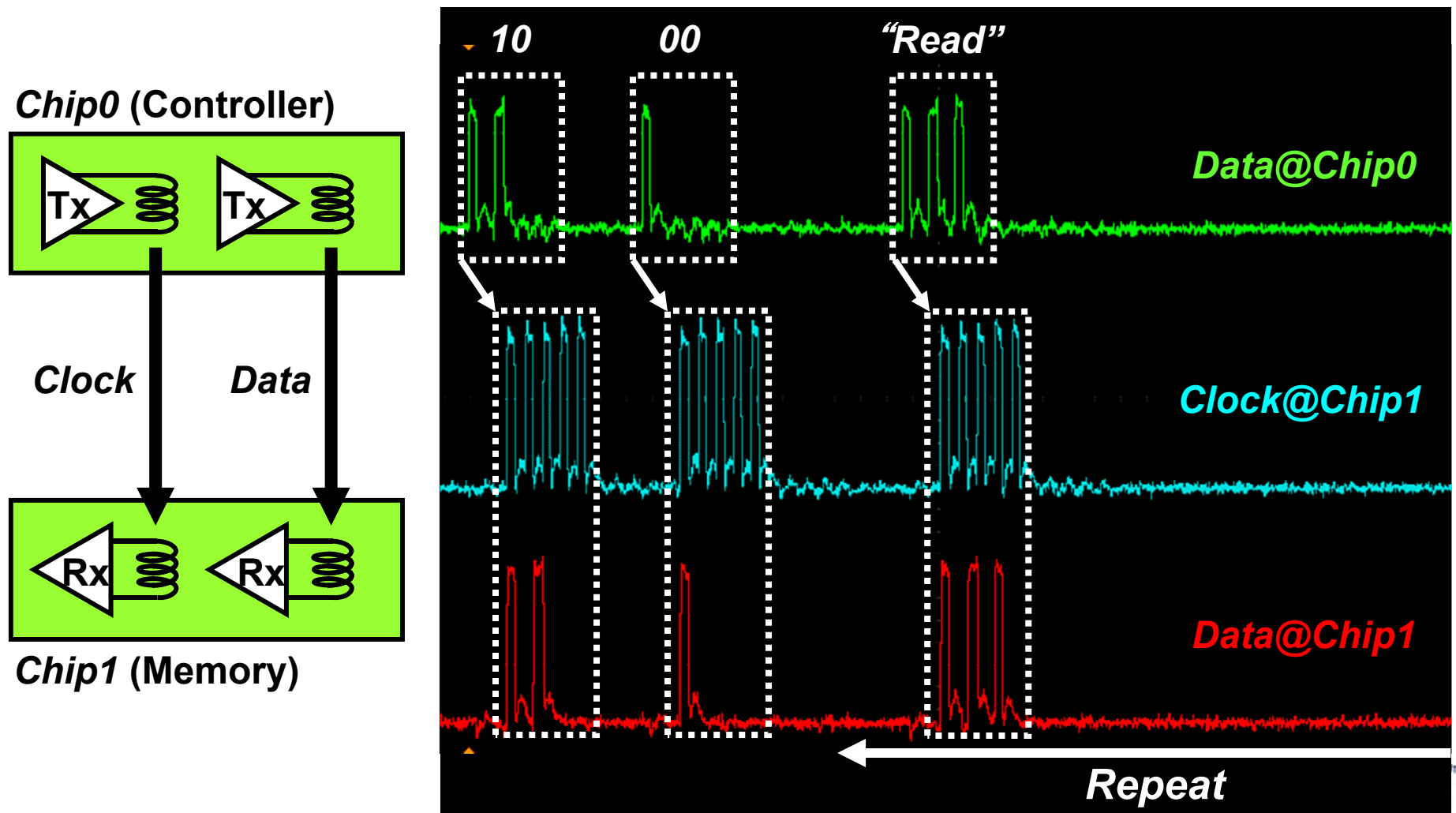
Read動作



標準メモリの波形と同じ

測定結果 (Repeat)

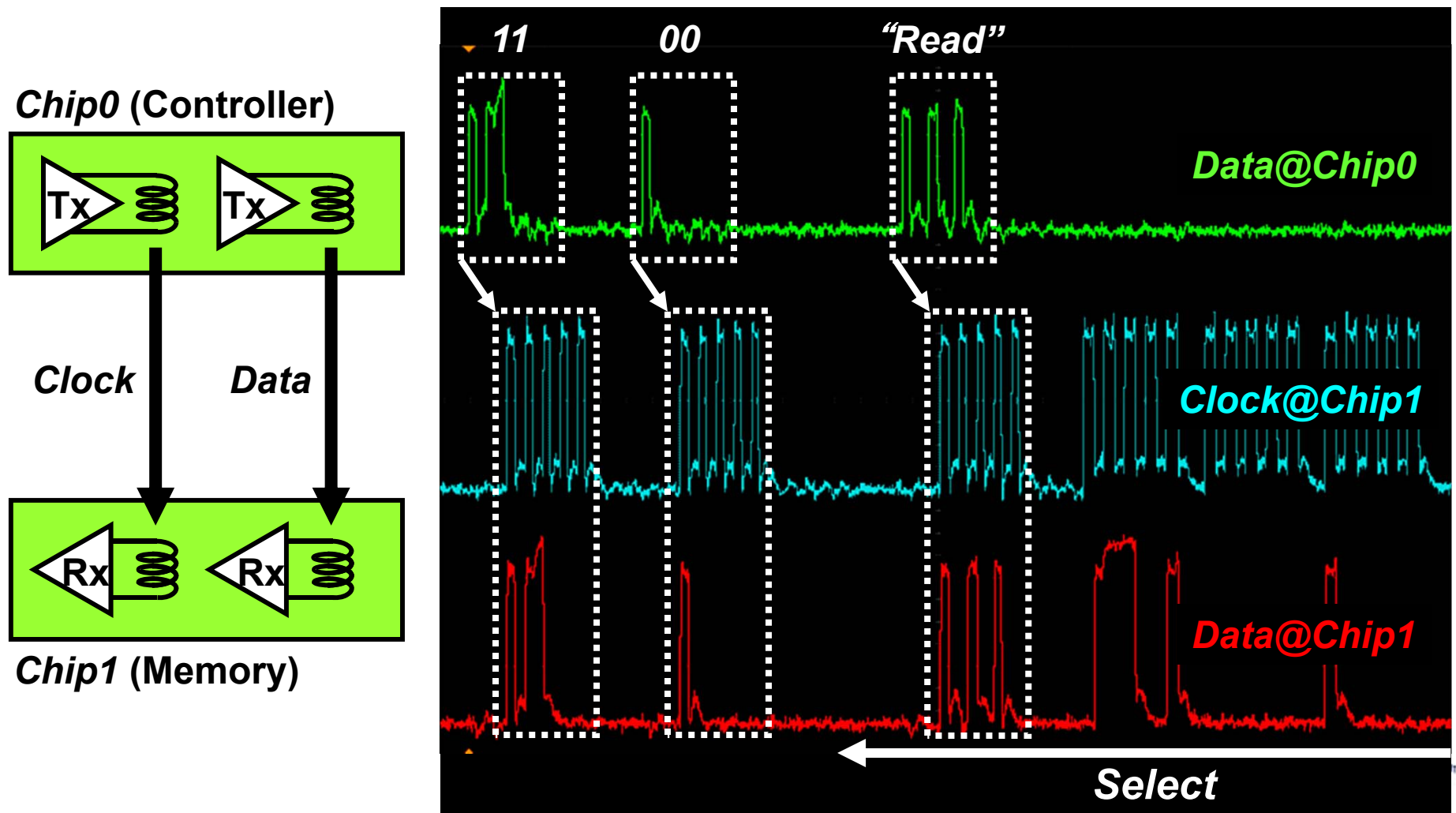
- 無線でRepeatに設定
 - コマンド (“Read”) が受信される



測定結果 (Select, Read)

- 無線でSelectに設定

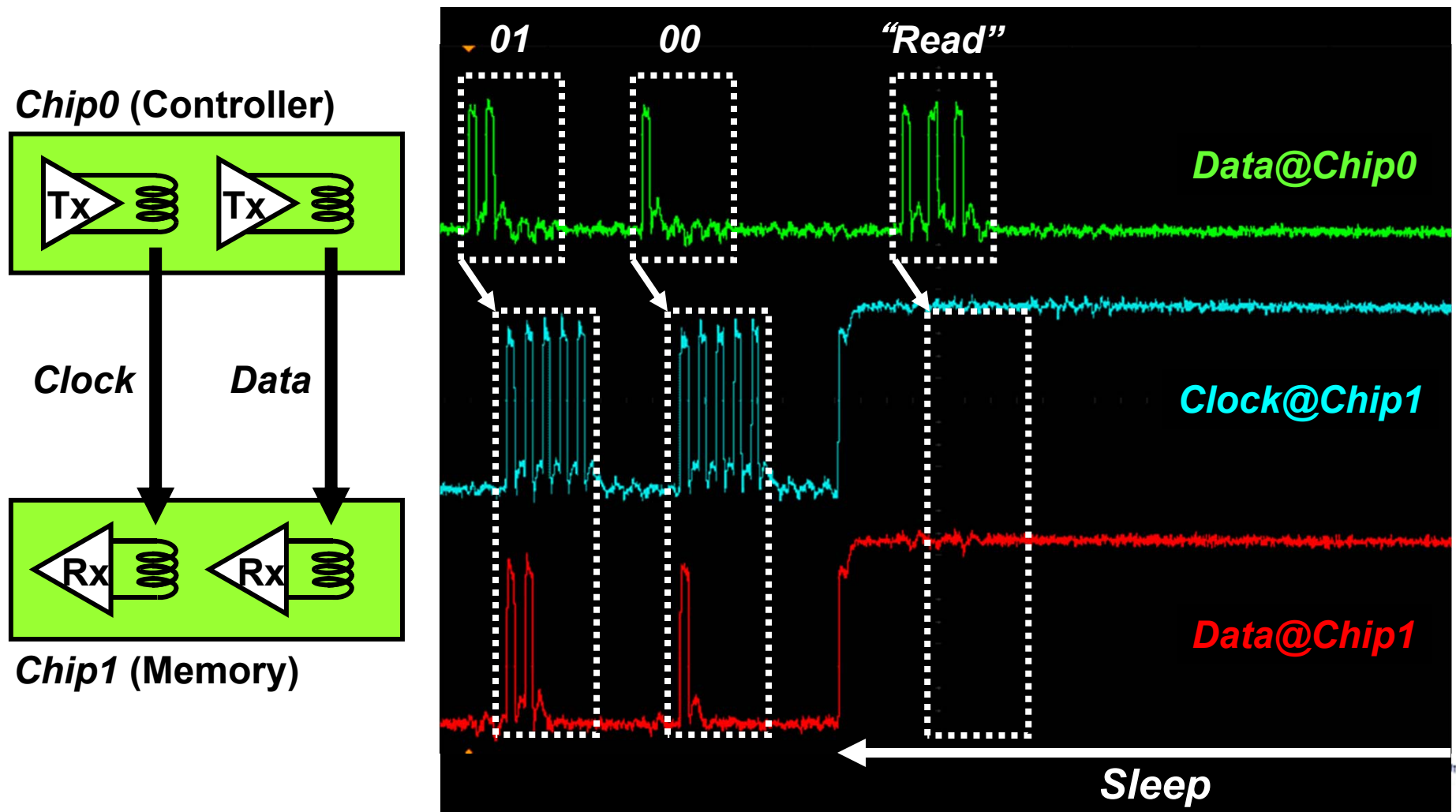
- コマンド (“Read”) を元に、データを読み出し



測定結果 (Sleep)

■ 無線でSleepに設定

- コマンド (“Read”) が受信されない

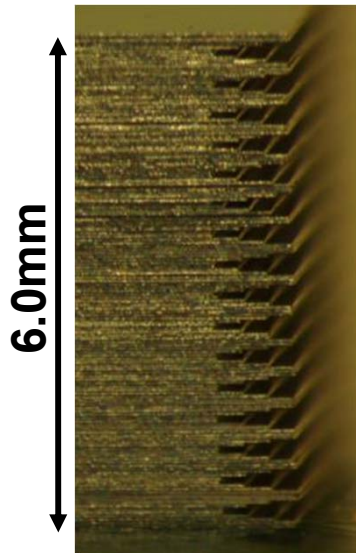


性能比較

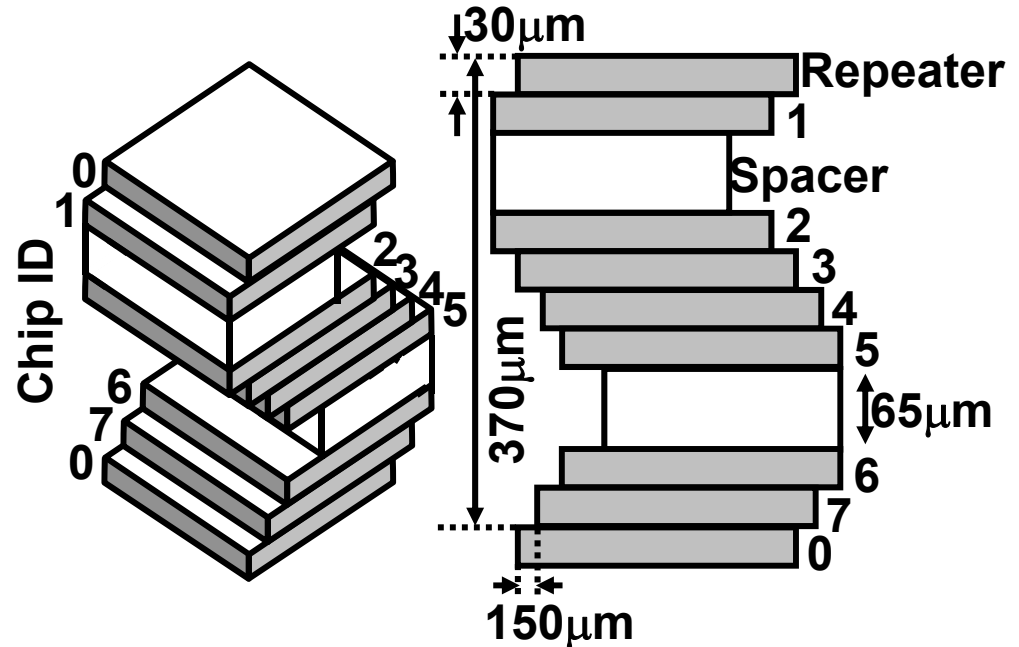
	TCI	従来
接続	磁界結合	配線
送信	リレー伝送	ブロードキャスト
消費電力	307mW (1/2)	557mW (1)
I/O 回路面積	3,645 μm^2 /chip (1/40)	145,744 μm^2 /chip (1)
チップ数 (パッケージ数)	64 (1パッケージx 64チップ)	64 (8パッケージx 8チップ)
通信チャンネル	2	2
データ転送速度	640Mb/s	640Mb/s

128 チップ NANDフラッシュ積層

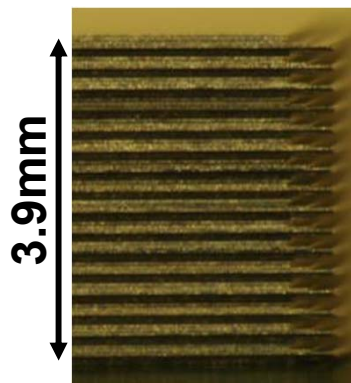
ISSCC'10



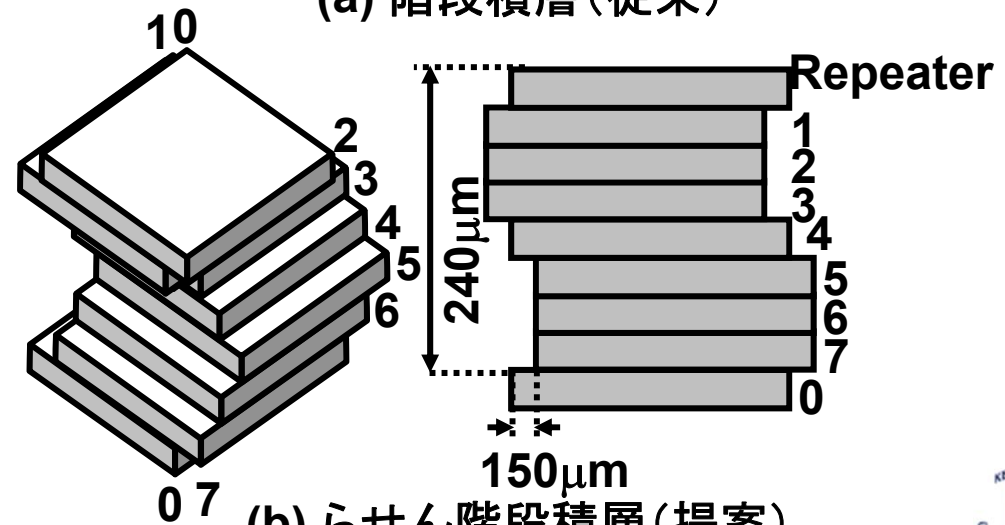
階段積層(従来)



(a) 階段積層(従来)



らせん階段積層(提案)



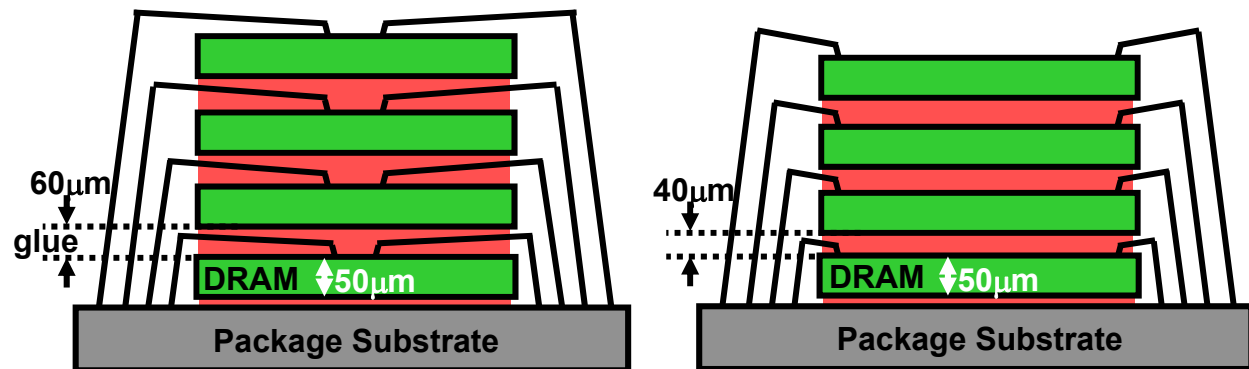
(b) らせん階段積層(提案)

128チップ NANDフラッシュ積層

		TCI	従来
接続		磁界結合	配線
チップ数		128 メモリチップ + 1 コントローラチップ	
パッケージ 内ボンディングワイヤ 本数	チップ間	256	2912
	コントローラ とパッケージ	34	129
	NAND と パッケージ	257	416
送信		8チップ飛ばし	64チップを Wired-ORした ブロードキャスト
エネルギー消費 [pJ/b/chip]		2.6 (0.2)	13.6 (1)
データ転送速度		2Gb/s (3)	640Mb/s (1)

DRAM積層

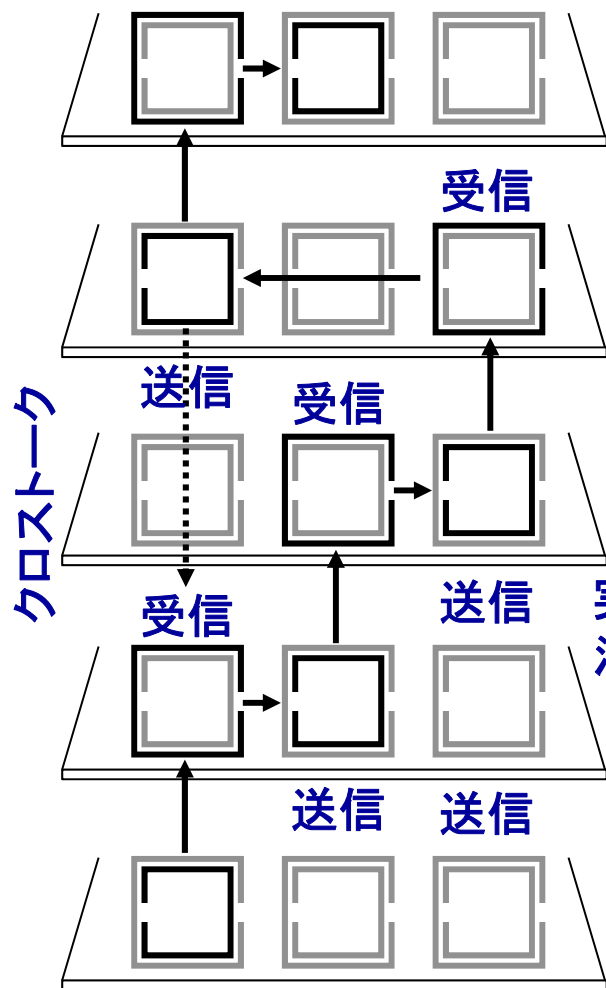
	グラフィックス	モバイル
データ転送速度	256GB/s	8GB/s
消費電力	10W (1/3)	0.1W (1/7)
I/O レイアウト面積	0.8mm ² (1/7)	0.3mm ² (1/3)



Center-chip wire bonding is available for mass production such as in micro-SD card.

3次元クロック分配

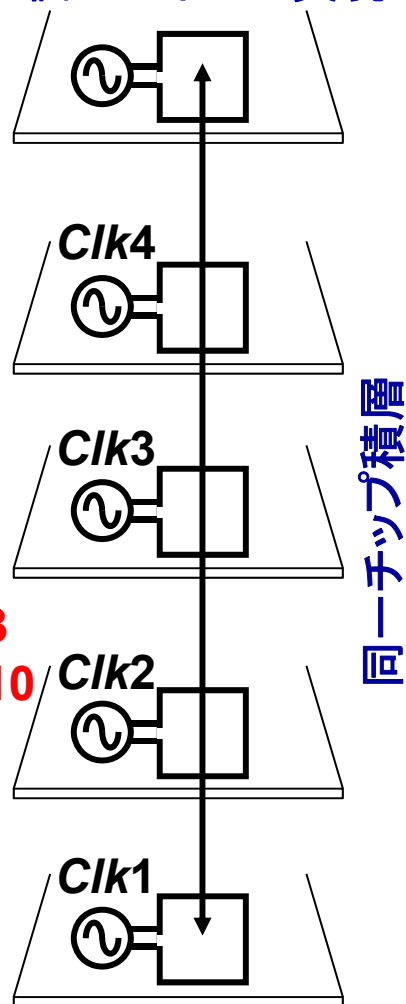
従来リレー方式
3組のコイルが必要



クロック送信

© T. Kuroda (57/93)

提案結合共振方式
1個のコイルで実現

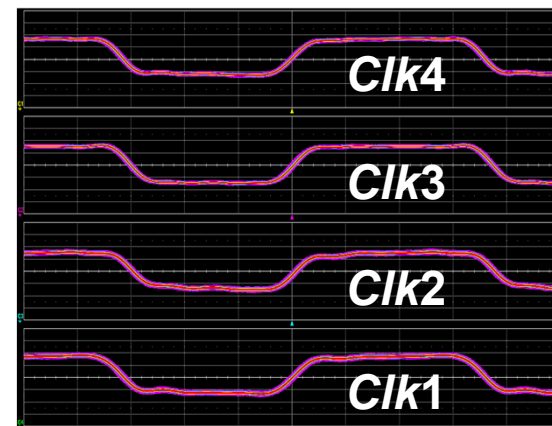
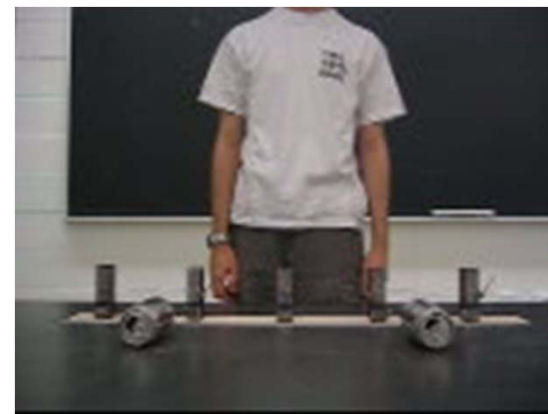


実装面積: 1/3
消費電力: 1/10

誘導結合により各発振器の
クロック周波数と位相が同期

結合共振

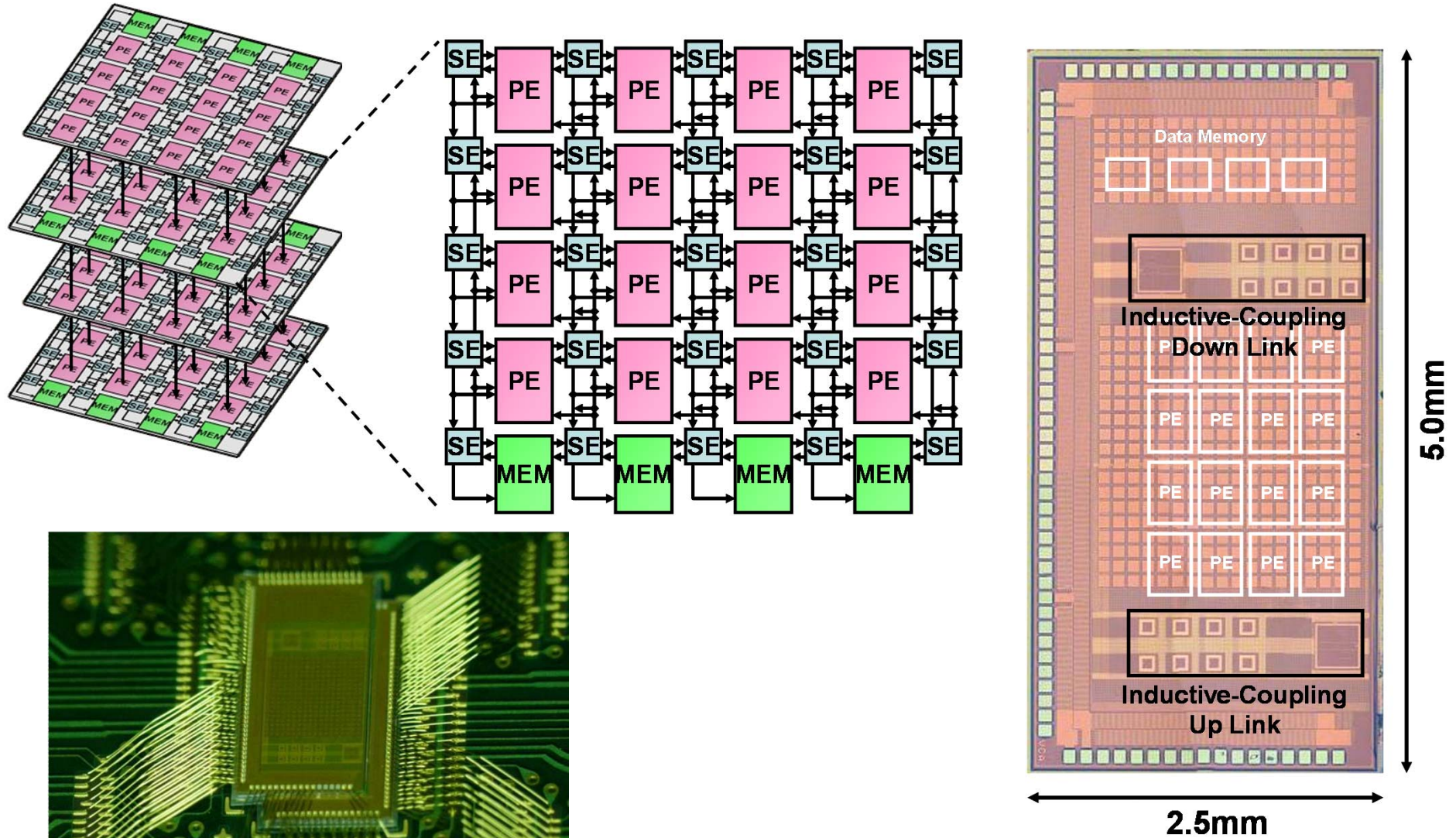
Steven Strogatz: SYNC
蔵本由紀: 非線形科学



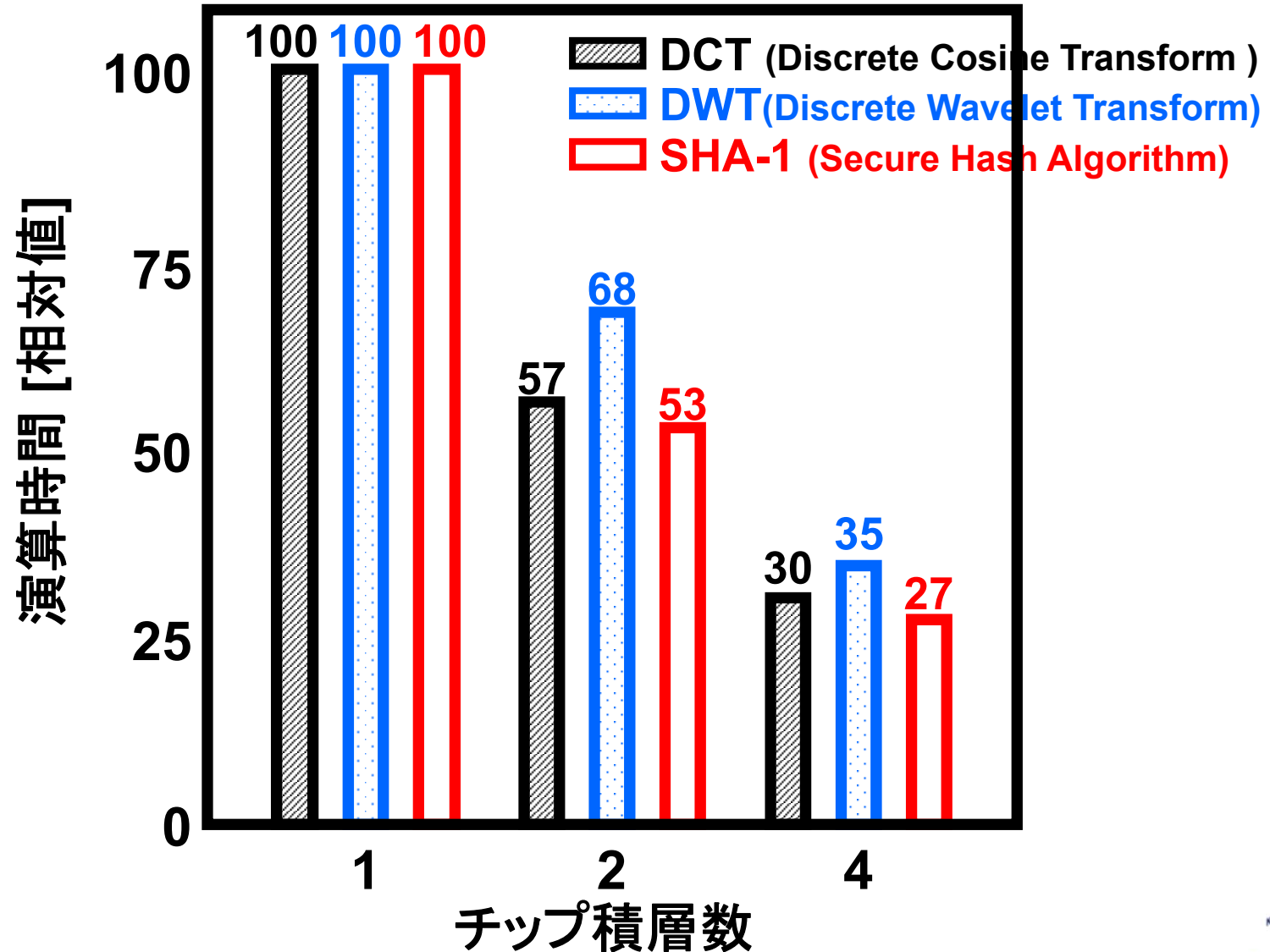
ISSCC2011



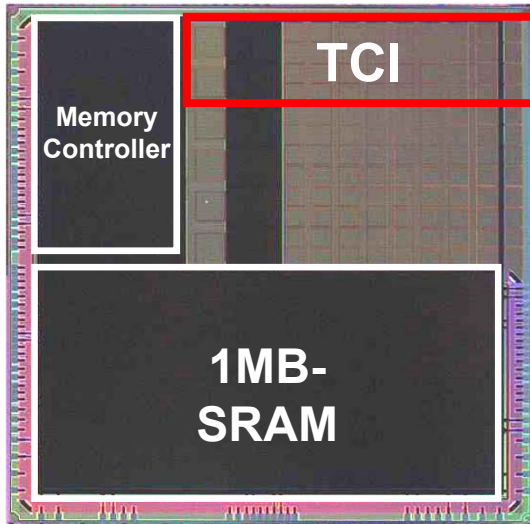
プロセッサの積層：動的再構成プロセッサ



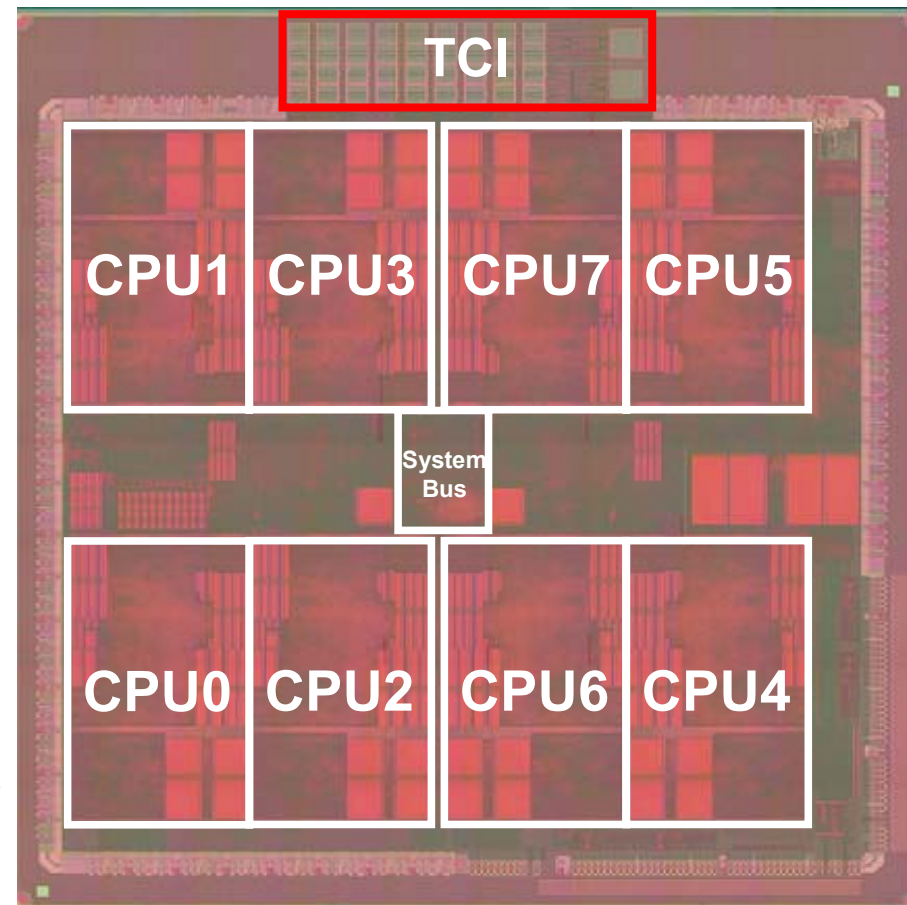
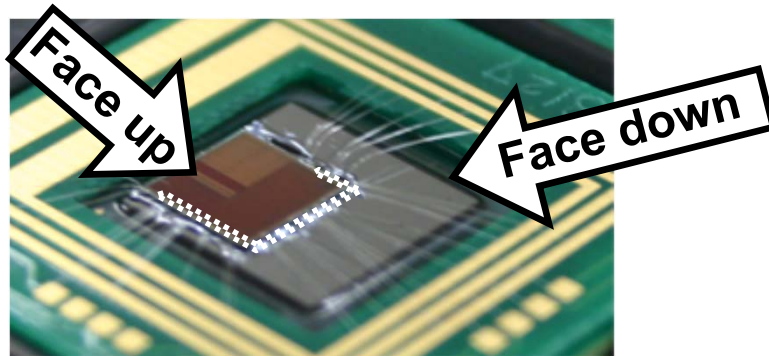
チップ積層枚数と性能



プロセッサとメモリの結合



SRAM in 65nm CMOS at 1.2V
Two SRAM's can be stacked



Processor in 90nm CMOS at 1.0V

エネルギー消費: 1pJ/b (1/30 of DDR2)

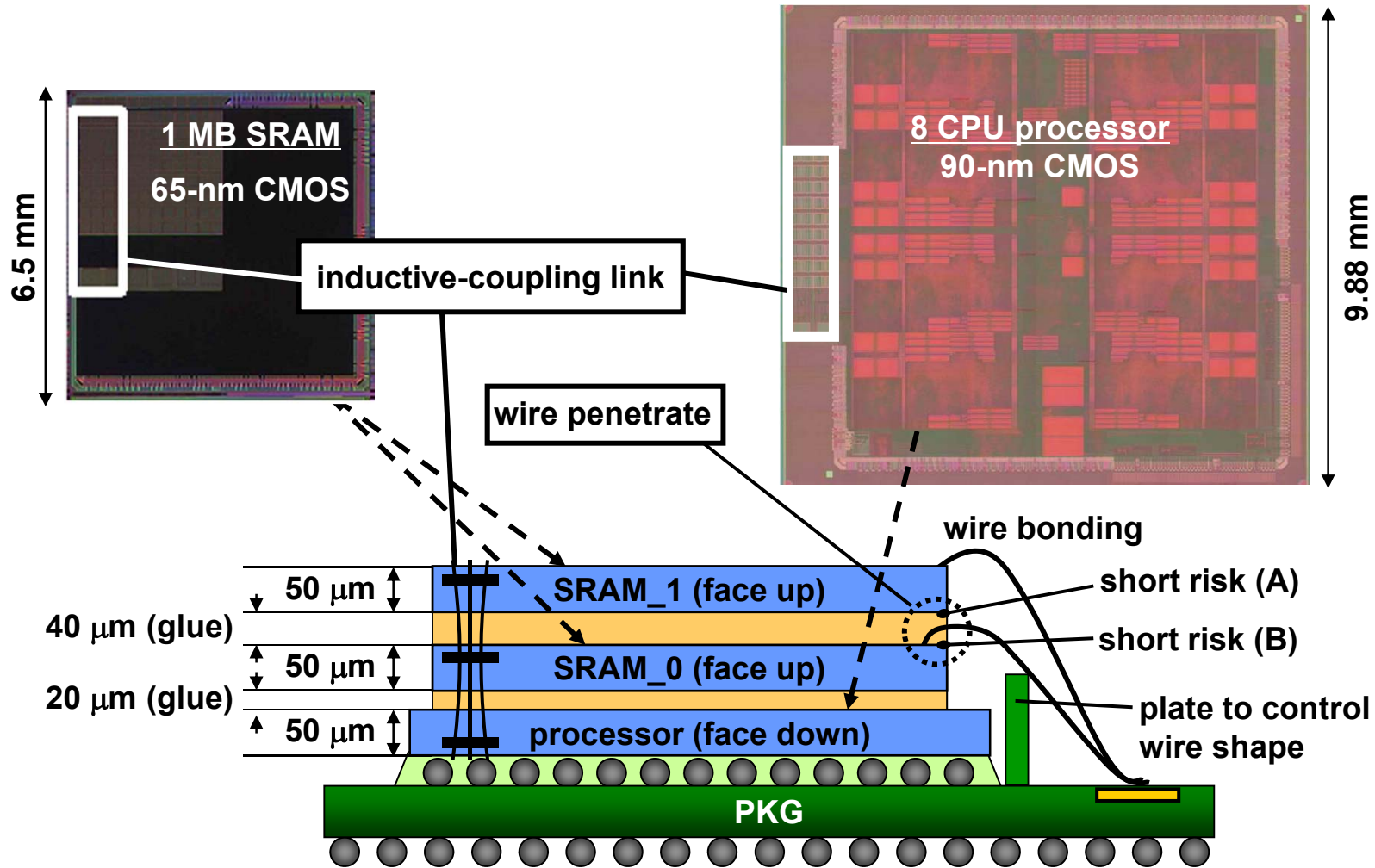
レイアウト面積: 0.15mm²/Gps (1/3 of DDR2)

[26]ISSCC'09

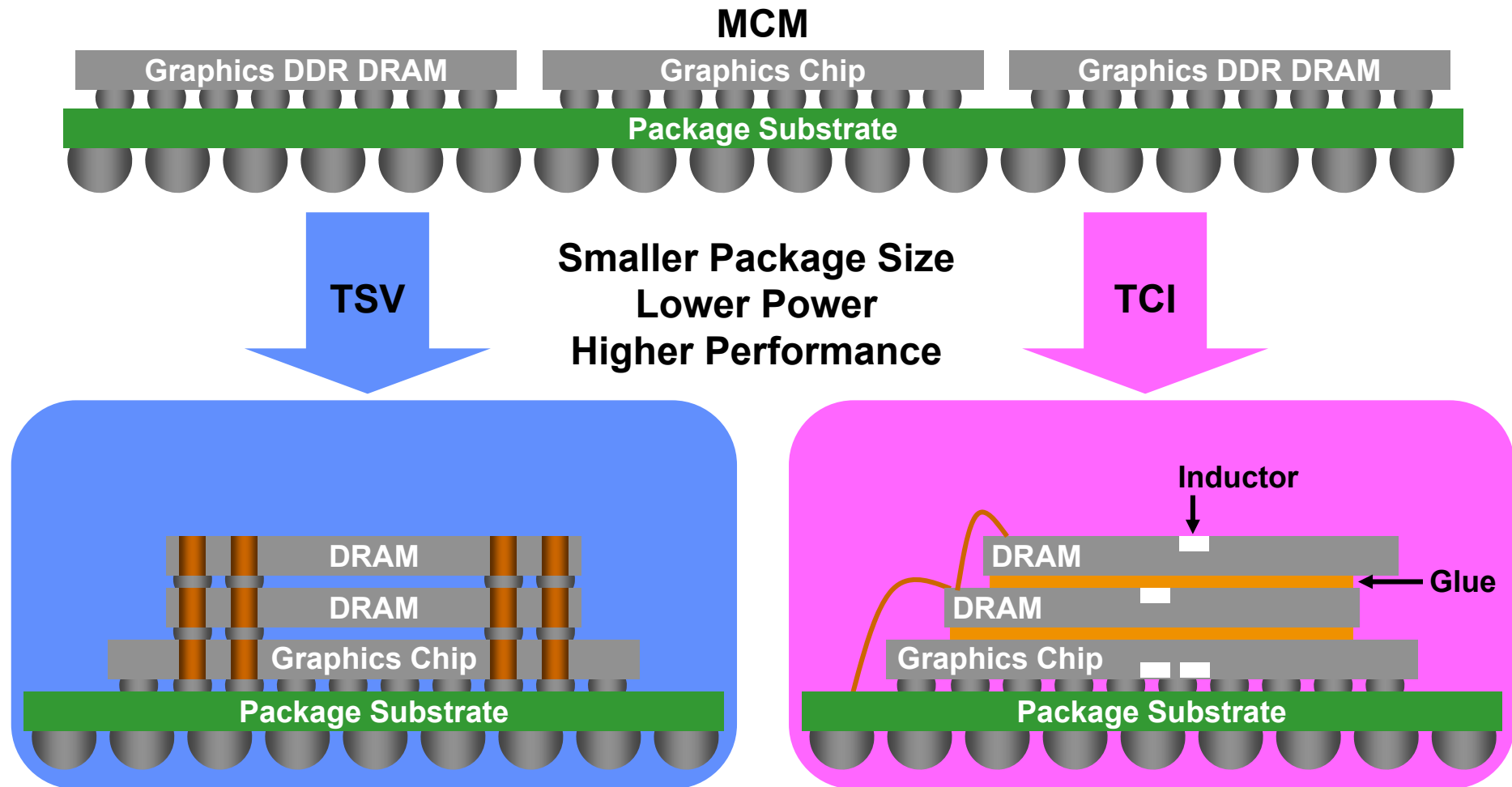
[27]VLSI'09



2枚のSRAMと通信



高性能グラフィックス用途



Smaller Package Size
Lower Power
Higher Performance

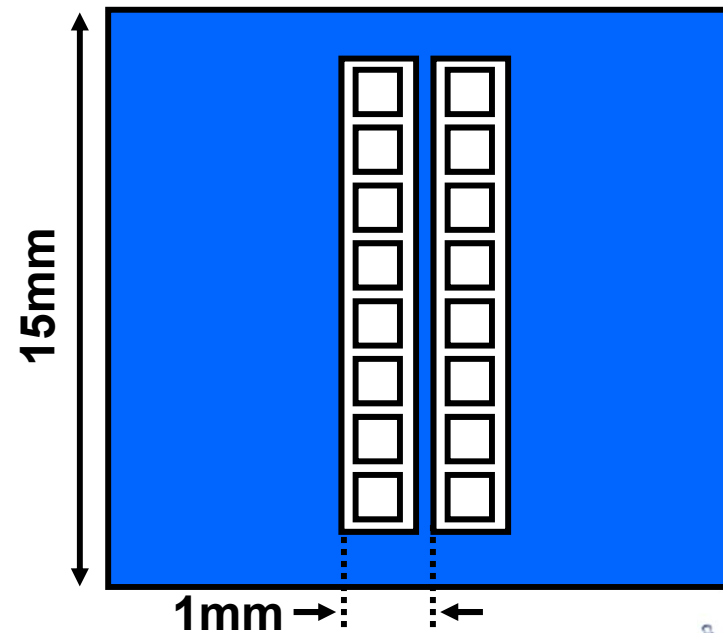
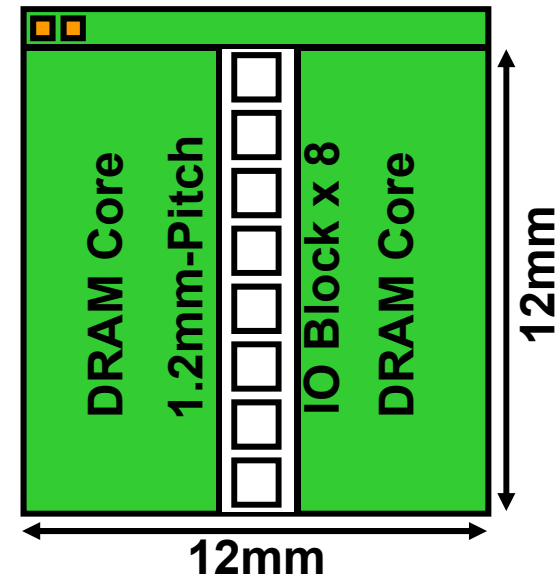
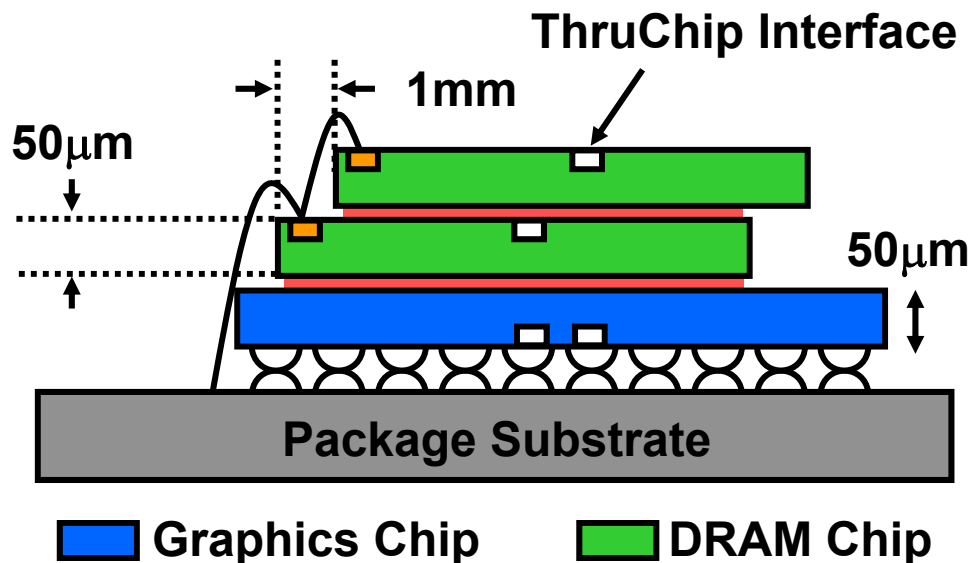
Year 2012

Capacity Max: **1GB**

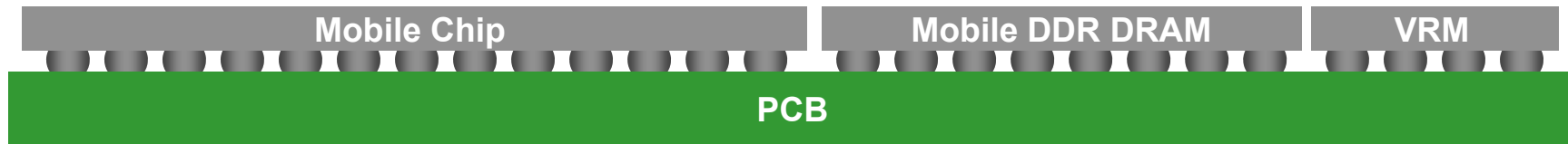
Bandwidth Max: **256GB/s**

256GB/s Graphics Link in 2012

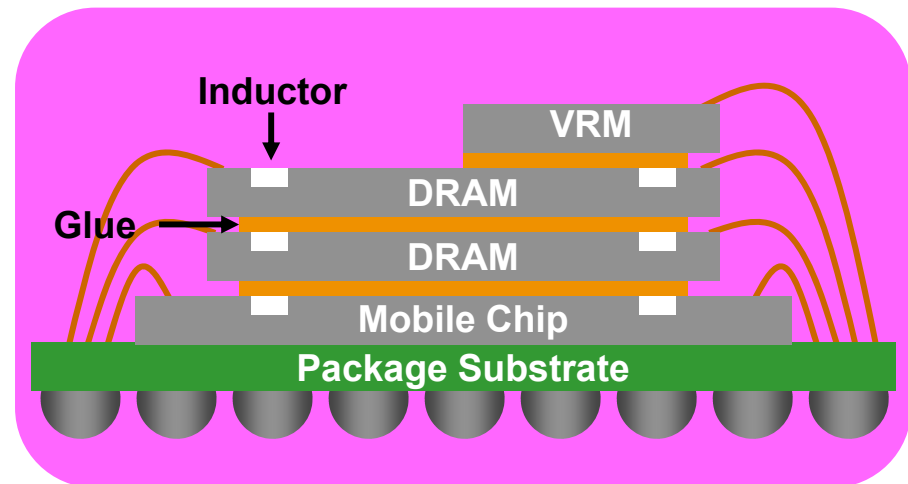
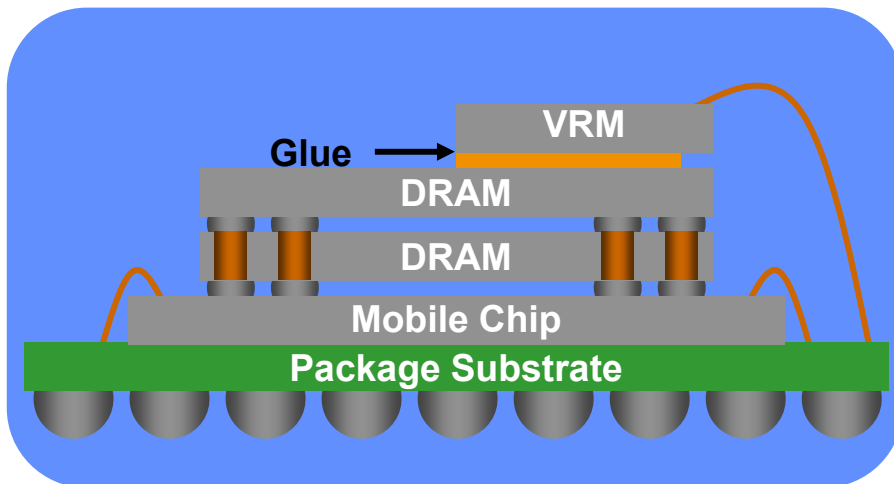
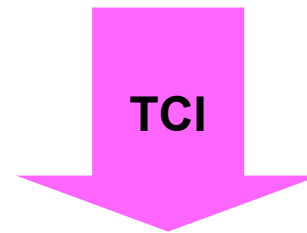
- 36nm 0.5GB DRAM x 2chips = **1GB**
- Maximum communication distance
= $(50\mu\text{m} + 5\mu\text{m}) \times 2 + 50\mu\text{m} = 160\mu\text{m}$
- Coil diameter, $D = 240\mu\text{m}$
Pitch = $480\mu\text{m}$, Block size = $700\mu\text{m}$
- $32\text{Gb/s} \times 4 = 16\text{GB/s}$ IO block
 16GB/s IO block $\times 8 \times 2\text{chips} =$ **256GB/s**



低電力携帯用途



Smaller PCB Size
Lower Power
Higher Performance



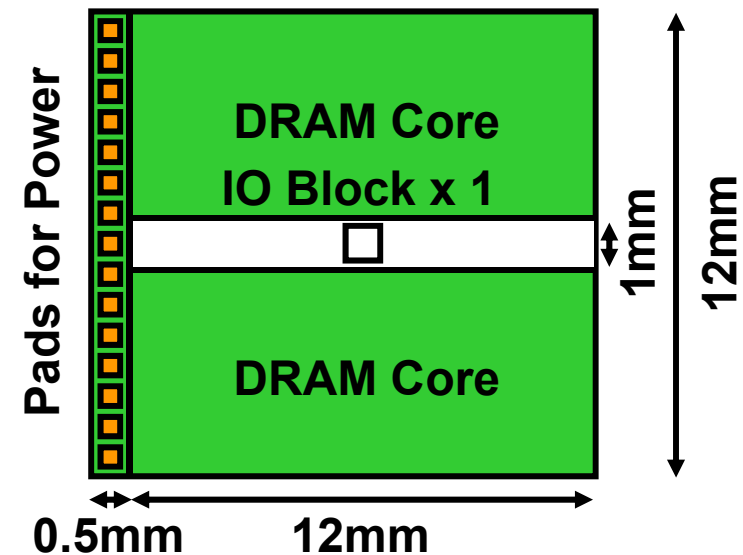
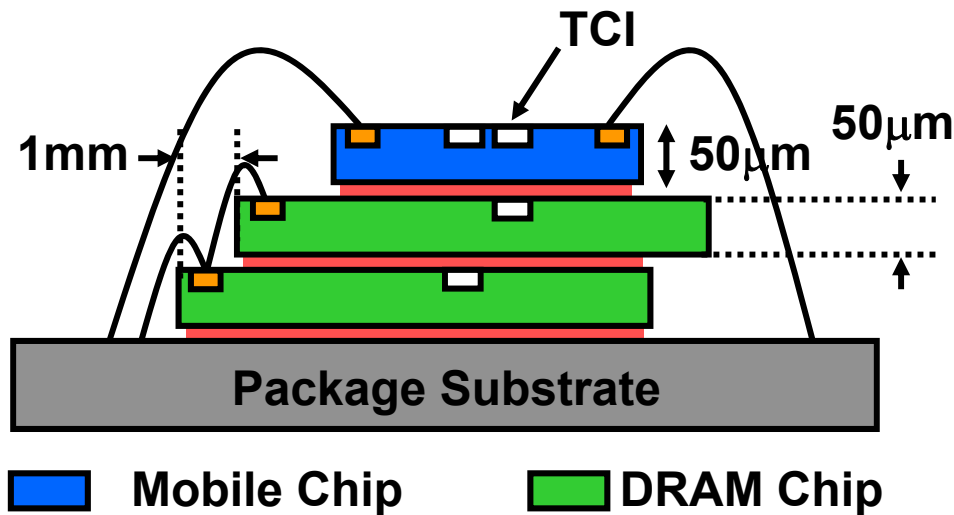
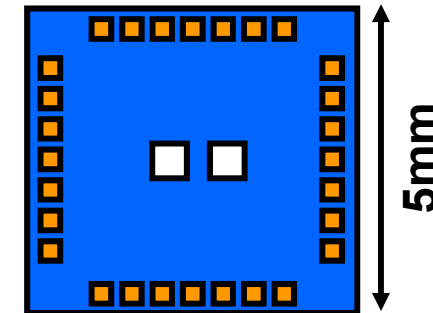
Year 2012

Capacity Max: **1GB**

Bandwidth Max: **8GB/s**

8GB/s Mobile Link 2012

- 36nm 4Gb DRAM x 2 chips = **1GB**
- 4GB/s TCI is used for mobile.
- MUX/DEMUX are implemented in CMOS. Energy/bit is reduced to **2pJ/b**
- Coil diameter $D = 330\mu\text{m}$
Pitch = $660\mu\text{m}$, Block size = $990\mu\text{m}$
- 4GB/s IO block x 2 chips = **8GB/s**



性能予測(2012年)

		2012 Graphics	2012 Mobile
Number of Stacked DRAM Chips		2	2
Data Rate		256GB/s	8GB/s
Chip Thickness		50 μ m	50 μ m
Power Dissipation	[1] Rambus	26.6W (1)	920mW (1)
	TCl	10.2W (1/3)	128mW (1/7)
I/O Layout Area in DRAM Chip	[1] Rambus	5.4mm ² (1)	0.6mm ² (1)
	TCl	0.8mm ² (1/7)	0.3mm ² (1/2)
Process		65nm CMOS (Equivalent to 36nm DRAM)	

[1] K. Chang, et al., VLSI Cir. 2008



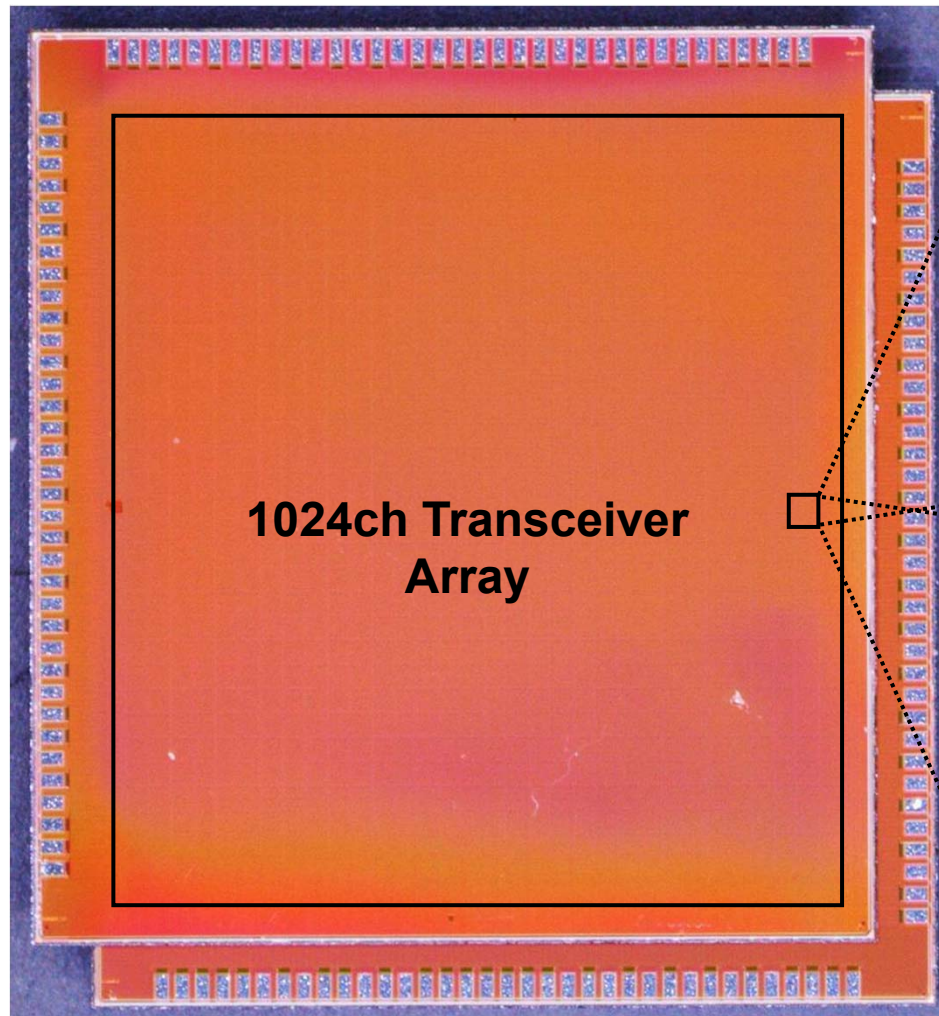
DRAM高速インタフェースのロードマップ

	2012	2017	2022
DRAM Process	36nm	20nm	11nm
DRAM Capacity	0.5GB/chip	2.6GB/chip	16GB/chip
Chip Thickness	40 μ m	35 μ m	30 μ m
Number of Stacked DRAMs	2	2	2
Total Memory Capacity	1GB	6.4GB	32GB
Total Memory Bandwidth	8GB/s	48GB/s	256GB/s
TCI Data Rate	1GB/s/ch	2GB/s/ch	4GB/s/ch
TCI Coil Radius	150 μ m	120 μ m	105 μ m
TCI Channel Number	4ch/chip	12ch/chip	32ch/chip
TCI Energy	2pJ/b	0.4pJ/b	0.08pJ/b
TCI Power	128mW	153mW	164mW

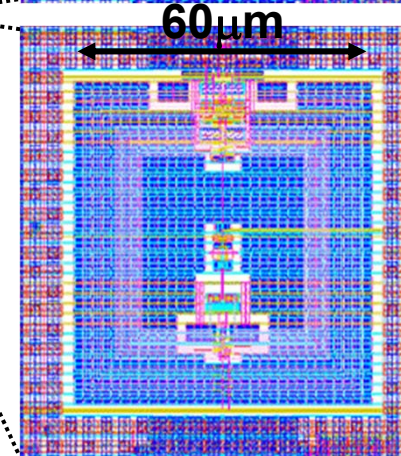
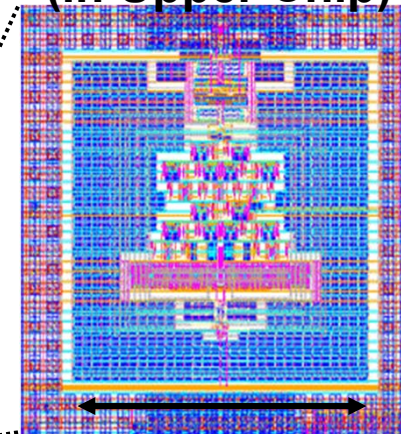
1TB/s DRAMインタフェース

ISSCC'10

20 μ m-Thick Emulated-100nm DRAM Chip (Upper Chip)



DRAM Transceiver
(in Upper Chip)



65nm CMOS GPU Chip (Lower Chip)

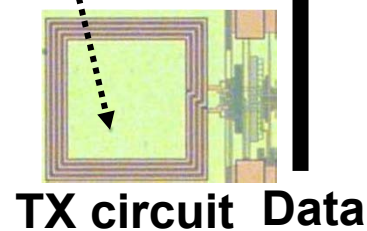
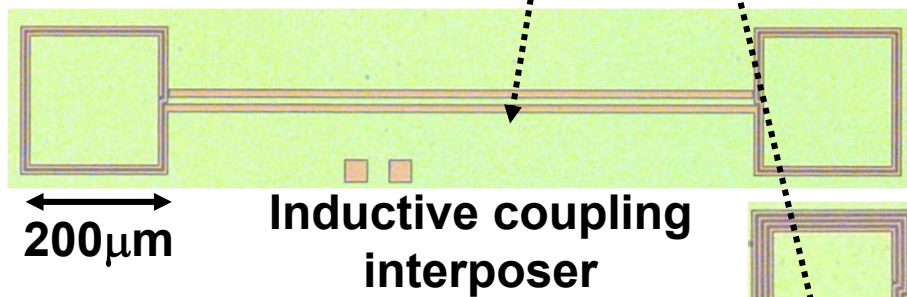
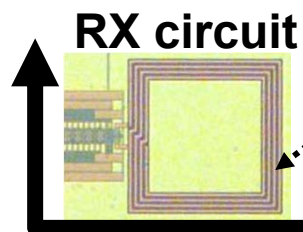
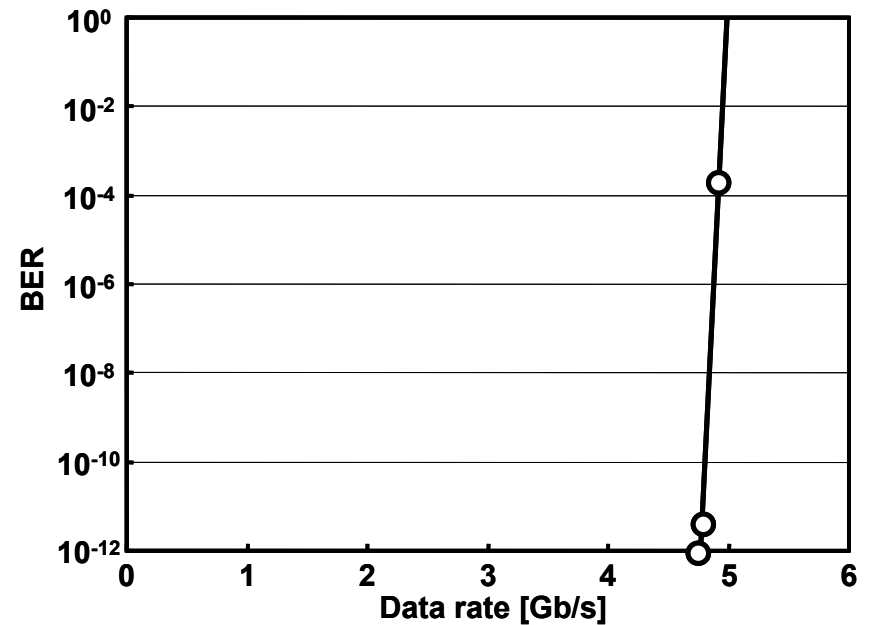
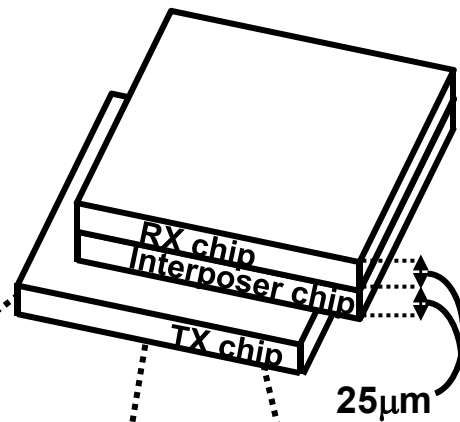
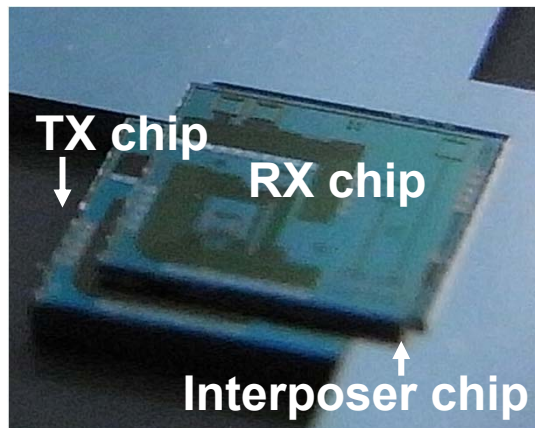
GPU Transceiver
(in Lower Chip)

DRAMインタフェース性能

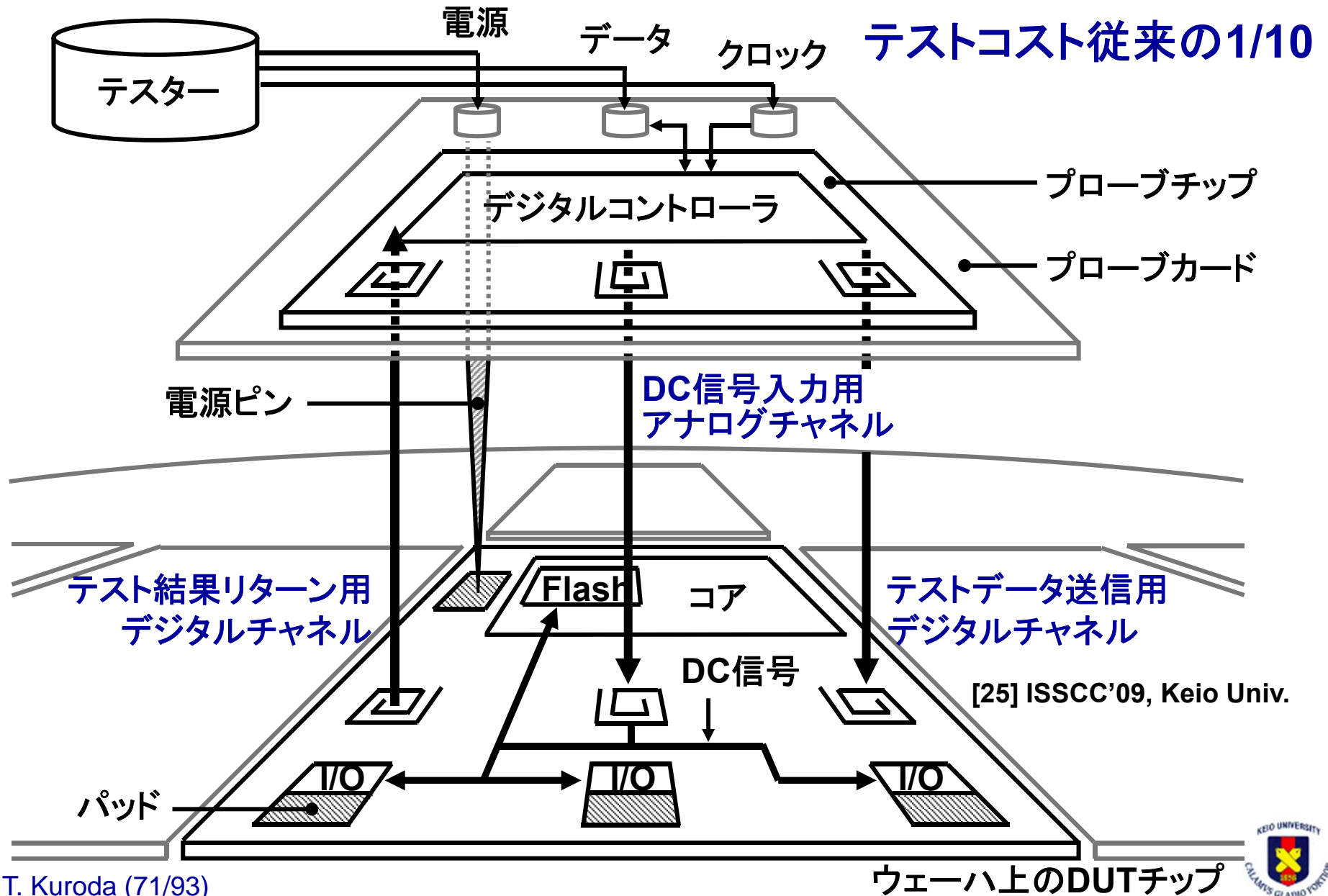
	TCI	[1]従来例
総バンド幅	8Tb/s (32)	0.25Tb/s (1)
データ転送速度	8Gb/s/Link	16Gb/s/Link
リンク数	1024	16
レイアウト面積	6.5mm ²	4.4mm ²
面積 / バンド幅	0.8mm²/Tb/s (1/22)	17.2mm ² /Tb/s (1)
電力消費	8W	2W
エネルギー / bit	1pJ/b (1/8)	8pJ/b (1)
ビット誤り率	<10 ⁻¹⁶	<10 ⁻¹⁵
プロセス	65nm CMOS & Emulated 100nm DRAM	Emulated 40nm DRAM



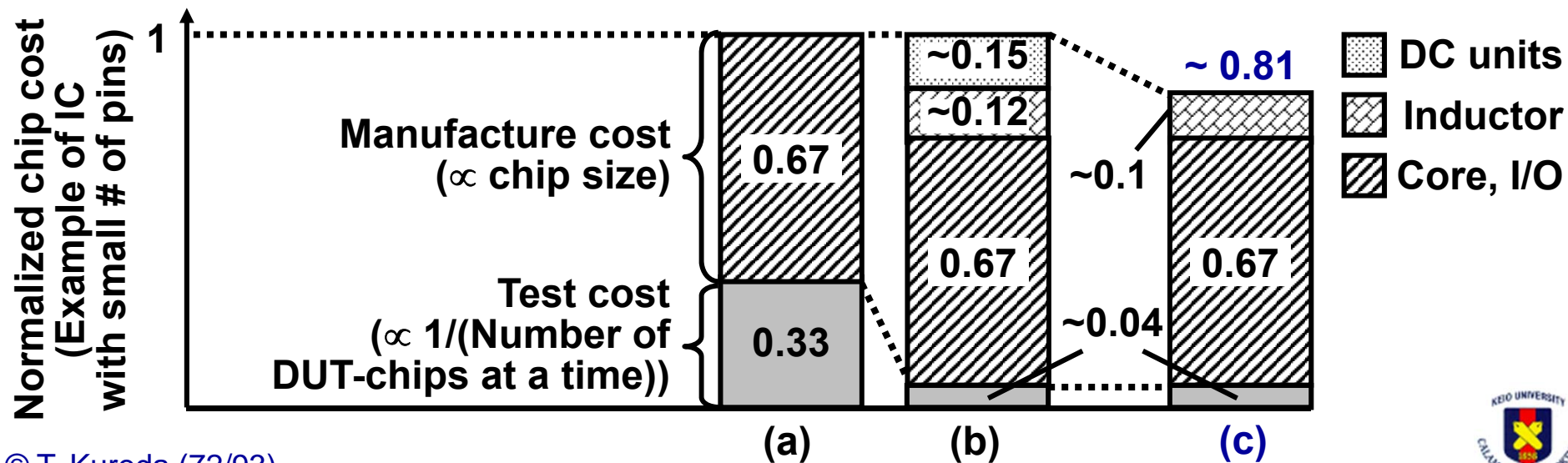
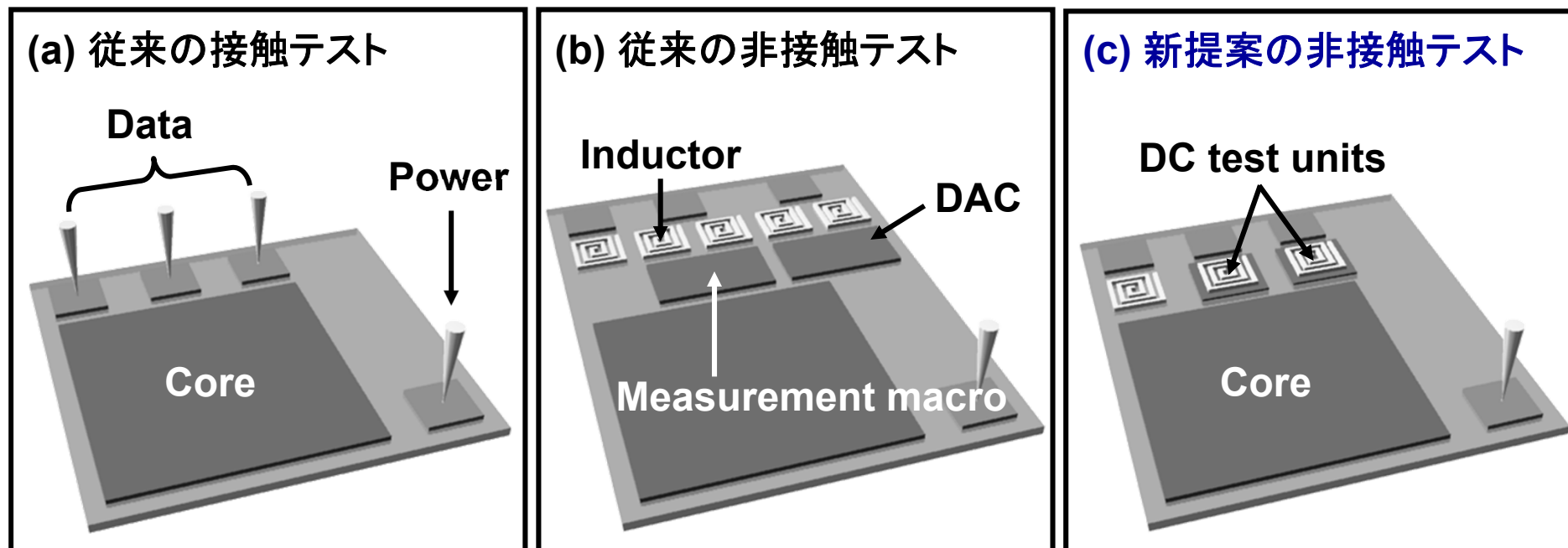
誘導結合インタポータ



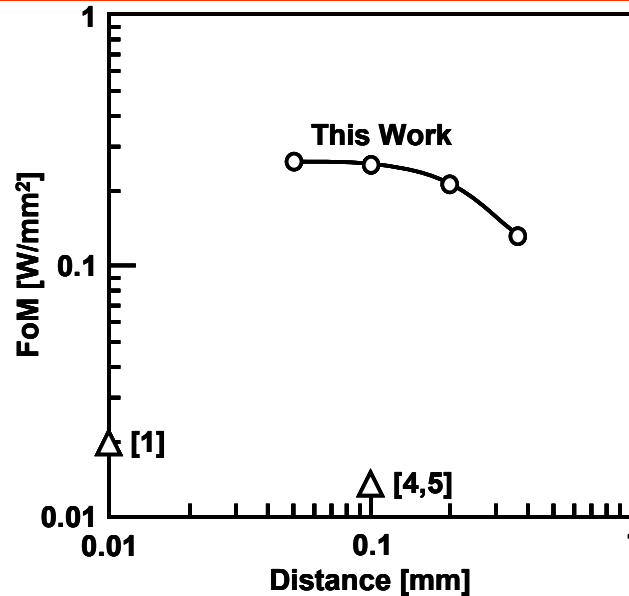
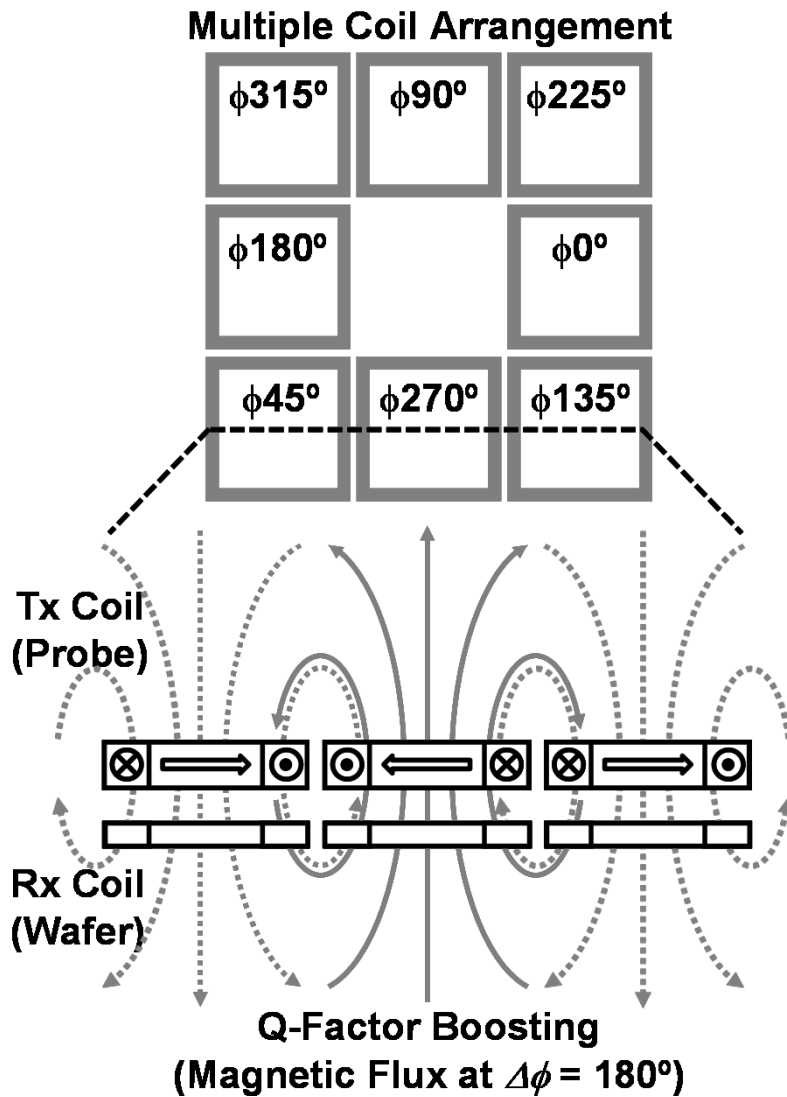
非接触テスト



テストコスト削減効果



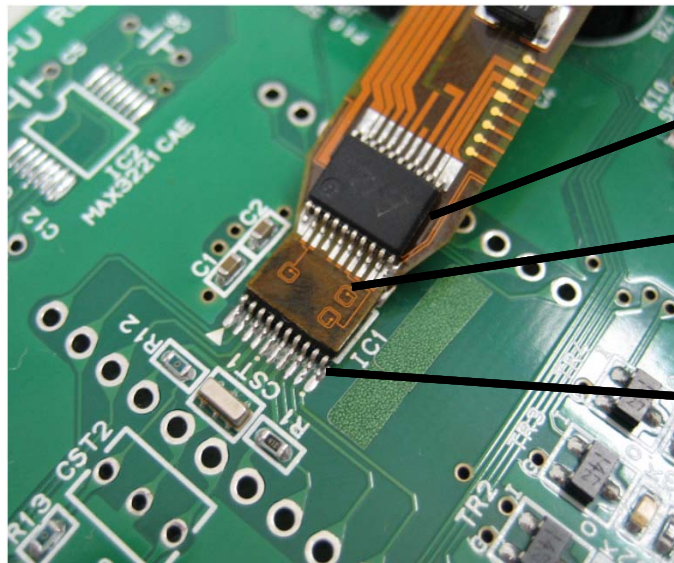
6W/5mm ウェハー無線給電



Received Power, P	6W
Die Area, A	5x5mm ²
FoM = P / A	0.24W/mm ²
Distance	0.05~0.32mm
Efficiency	17%
Carrier Frequency	150MHz
Ripple Voltage	65mV
Supply Voltage	1.8V
Process	0.18 μ m CMOS

ISSCC2011: 6W/25mm² Inductive Power Transfer for Non-Contact Wafer-Level Testing

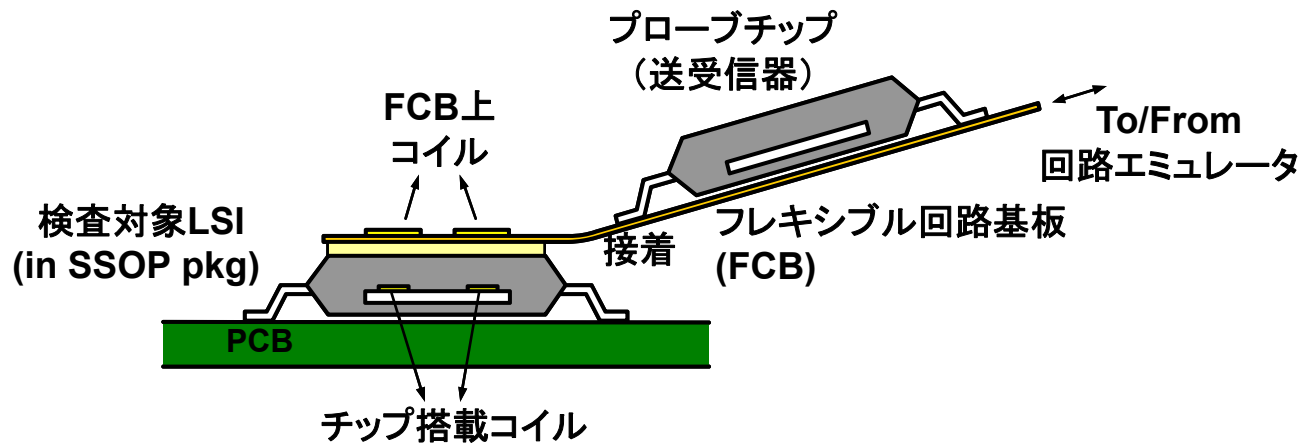
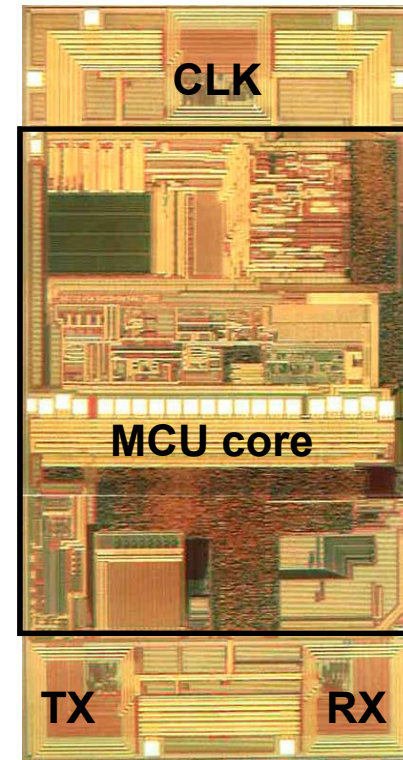
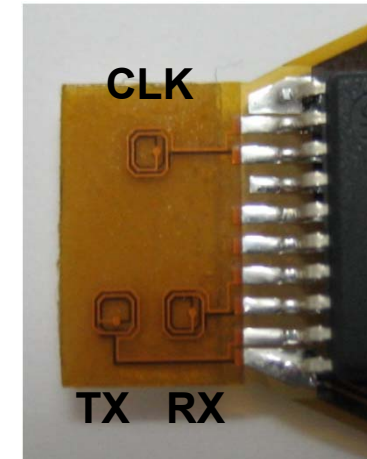
デバッグ用バスプローブ



プローブチップ

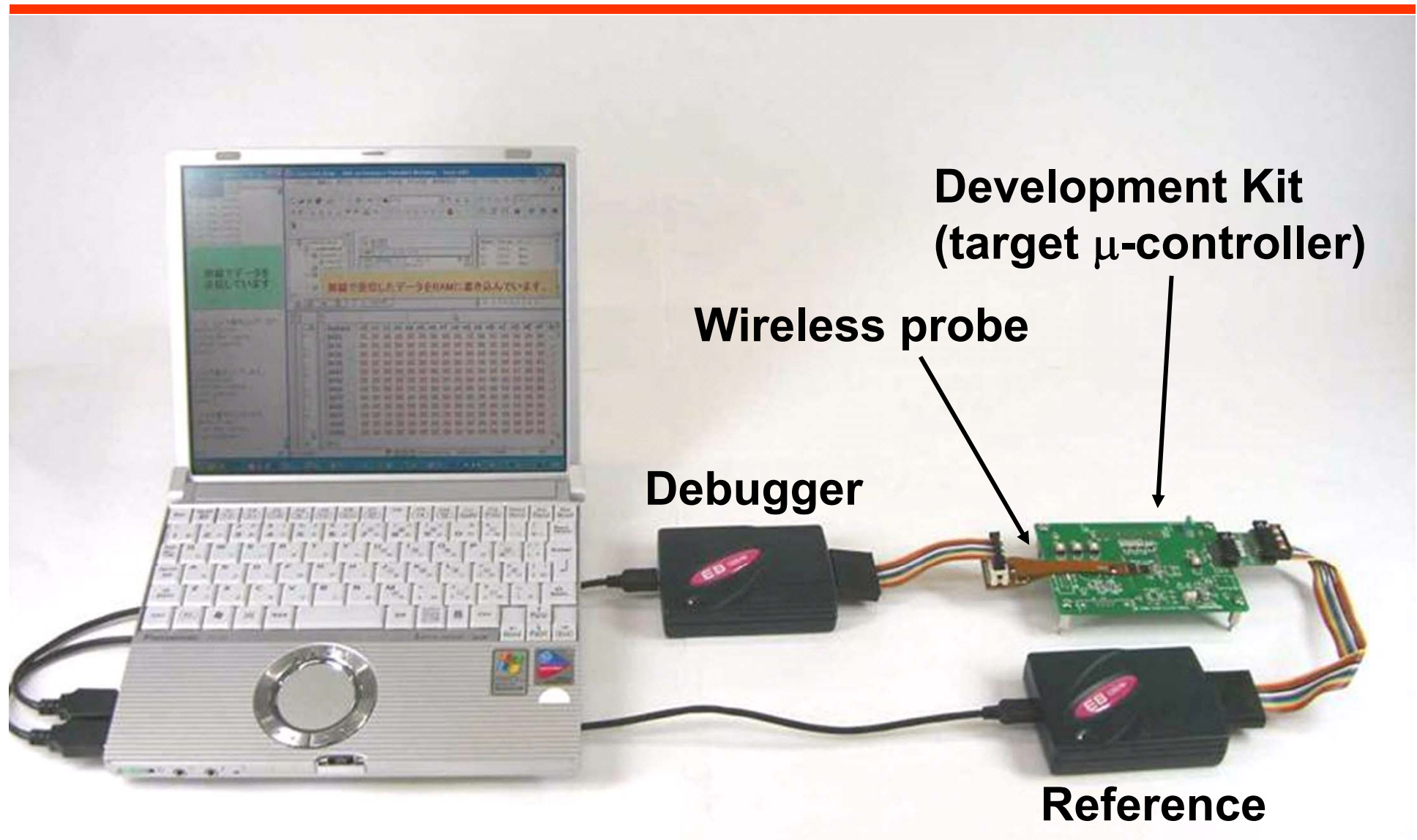
コイルを載せた
フレキシブル基板

プリント基板上に
実装された
テスト対象チップ

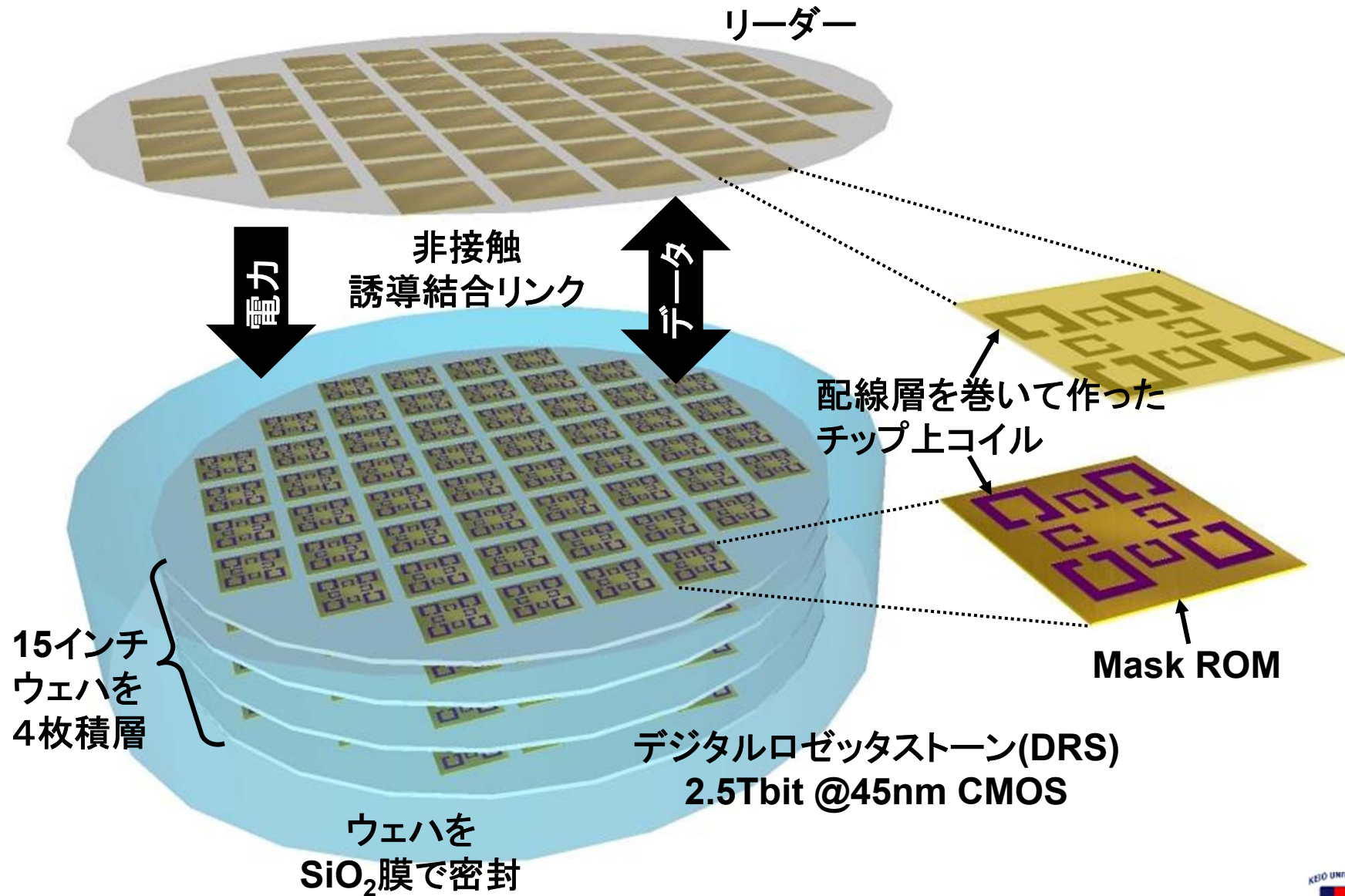


[10] ISSCC'07, Keio Univ.

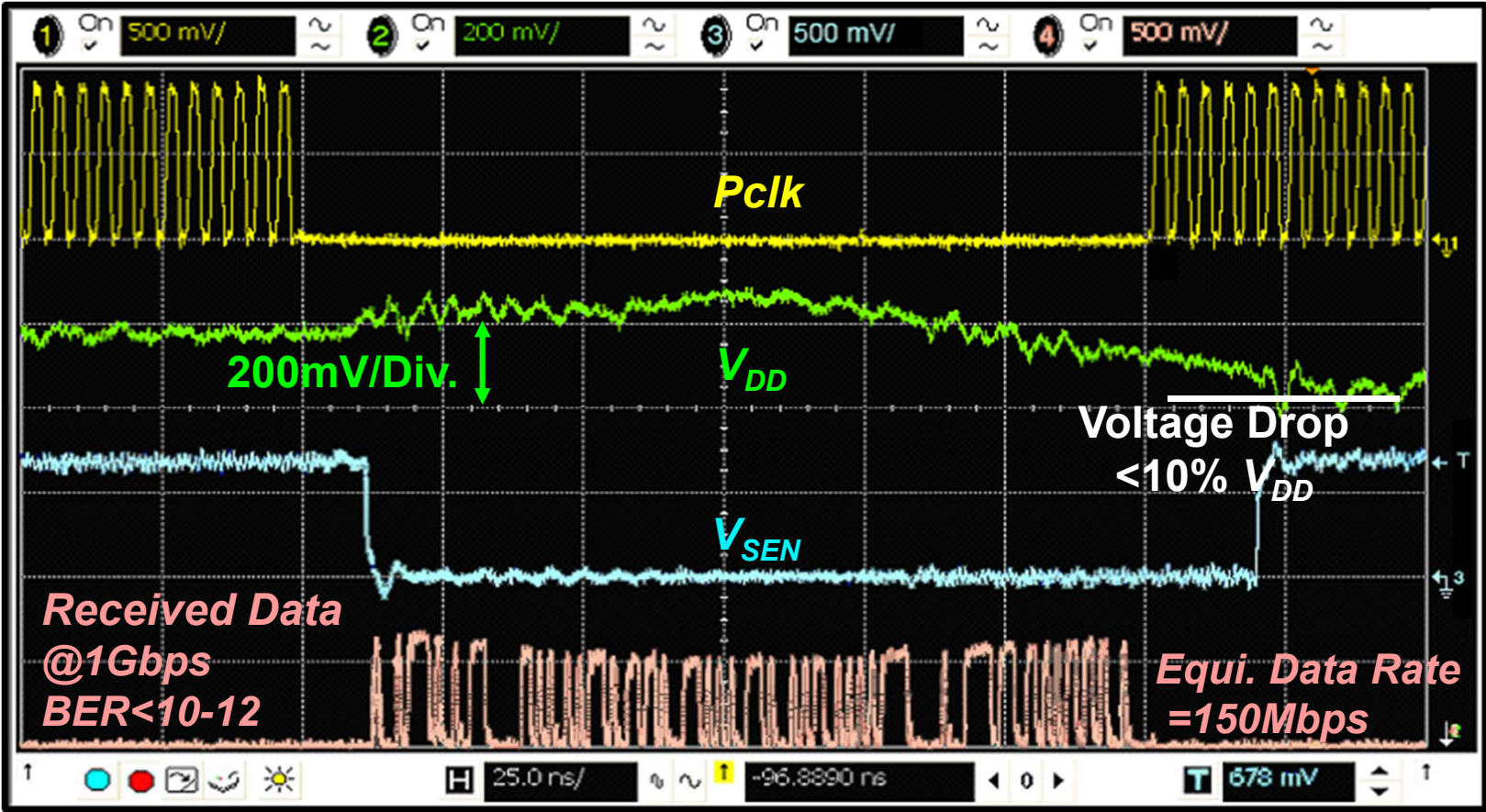
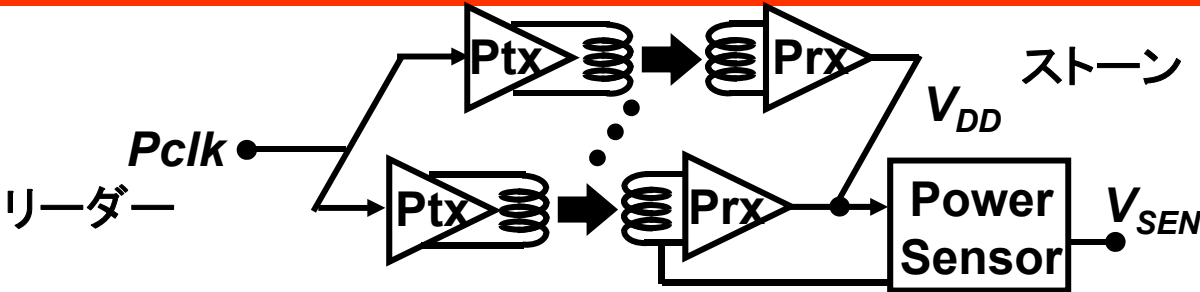
システム検証



デジタルロゼッタストーン

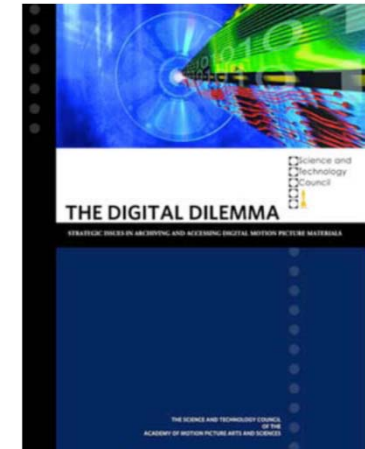


実測波形



マイグレーション

- **The Digital Dilemma:**
AMPAS: Academy of Motion Pictures Arts and Sciences
There is a dark side to storing information digitally.
- **マイグレーション:**
デジタルコンテンツを新しい記憶装置に定期的にコピーして長期保存する。
- **記憶装置はいずれ故障する。**
 - **ハードディスク:**
寿命30年、マイグレーション5~10年毎。回転部の故障が多い。
 - **デジタルテープ:**
寿命5年、民生市場からやがてなくなる。
 - **光ディスク (CD, DVD):**
寿命15年。ホログラムは寿命50年、マイグレーション20年。
- **マイグレーションのための費用は高い。**



Source: The Digital Dilemma

フィルム保存コスト

アナログ保存（今日）



デジタル保存（将来）

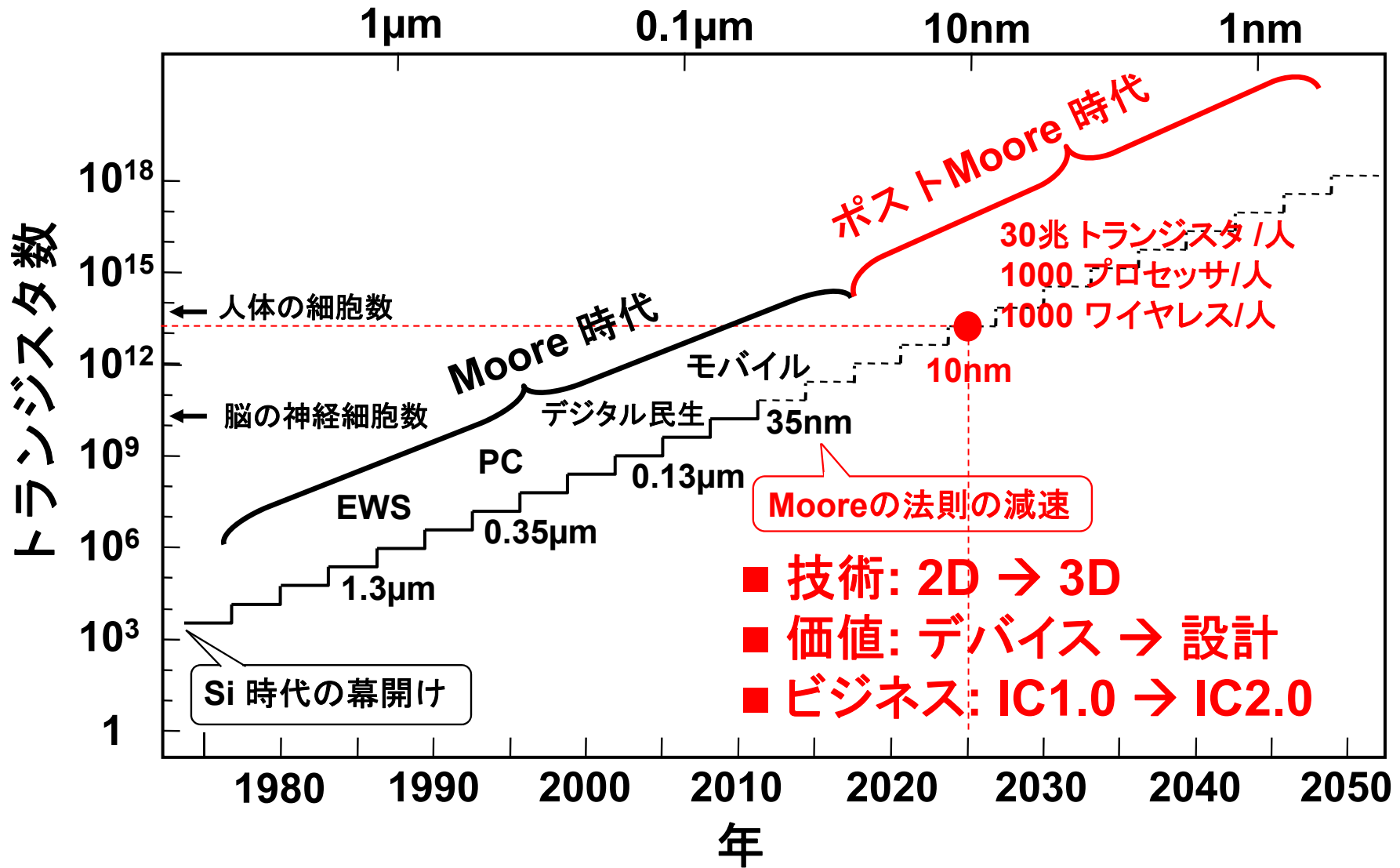
- 4Kシネマのデータ量：8.4 TB
(53 MB/フレーム*24 フレーム/秒*120分*60秒/映画)
- デジタルテープの保存費：\$500/TB/年
- 映画1本のマスター保存費：\$4,171/年
- コピー3部保存費：**\$12,514/年**
- デジタル製作過程で作られた全ての断片的記録も保存すると、保存費は年間**\$200,000**以上になる。

*To store a digital master record of a movie costs about **\$12,514 a year**, versus the \$1,059 it costs to keep a conventional film master.*

*Much worse, to keep the enormous swarm of data produced when a picture is “born digital” — that is, produced using all-electronic processes, rather than relying wholly or partially on film — pushes the cost of preservation to **\$208,569 a year**, vastly higher than the \$486 it costs to toss the equivalent camera negatives, audio recordings, on-set photographs and annotated scripts of an all-film production into the cold-storage vault. (NY Times)*

Source: The Digital Dilemma

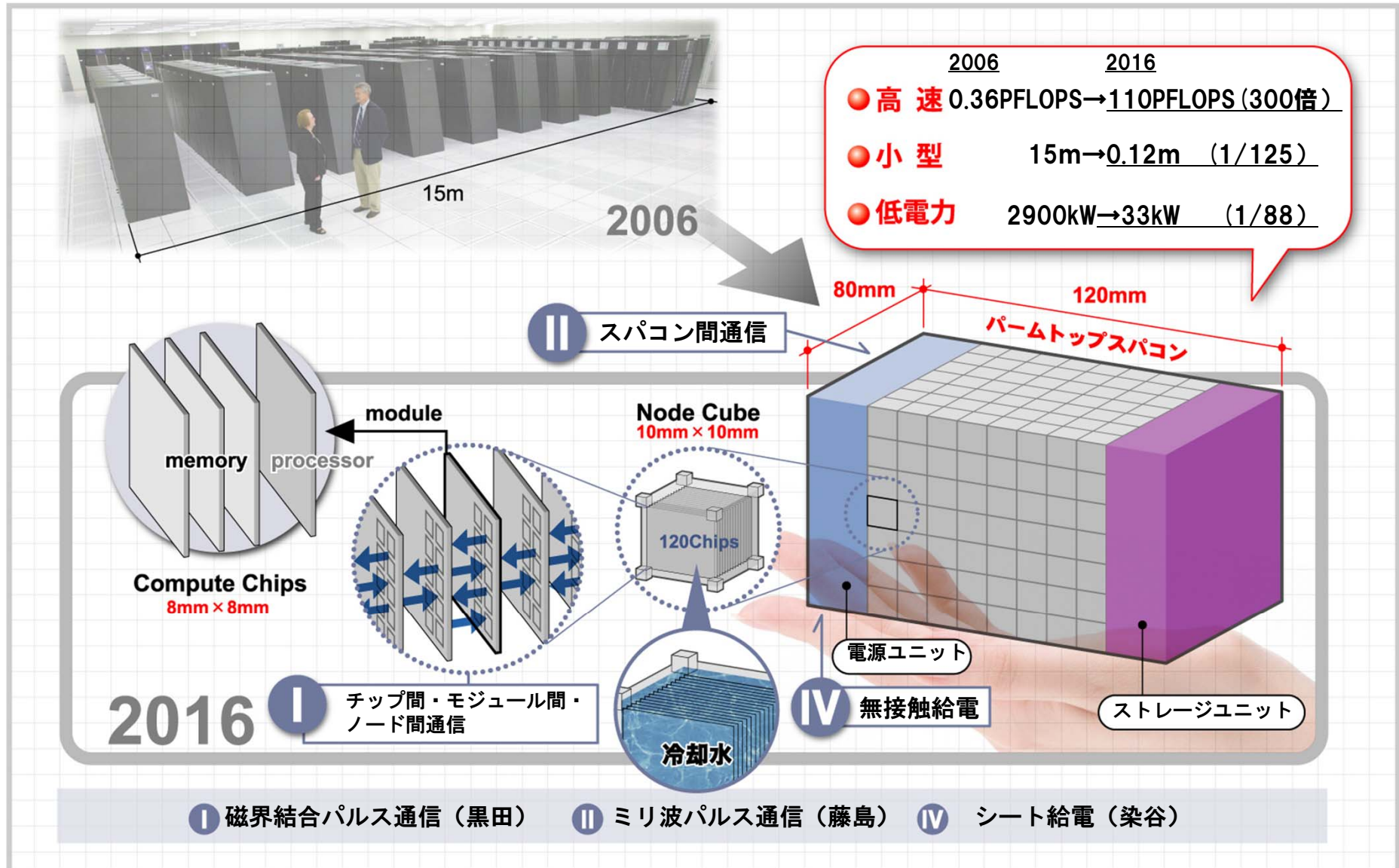
ポスト Moore時代



出展: T. Kuroda, ISSCC 2010 Panel Discussion "Semiconductor Industry in 2025"



パームトップスパコンの実現



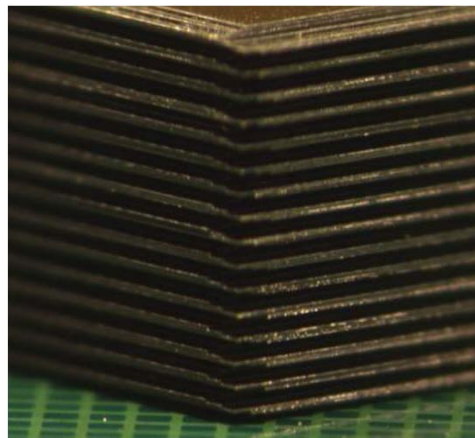
内容

1. 磁界結合によるチップ間通信
ThruChip Interface (TCI)

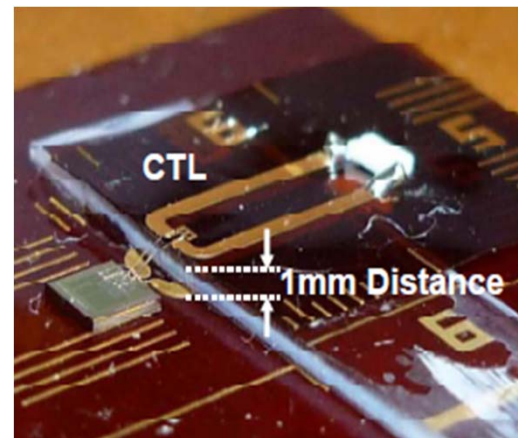
2. TCIの応用

3. 電磁界結合によるボード間通信

Coupled Transmission Line (CTL)



チップレベル
3D IC
 μm , 5Tbps, TCI



ボードレベル
非接触コネクタ
mm, 50Gbps, CTL

携帯電話やメモ리카ードの新インタフェース

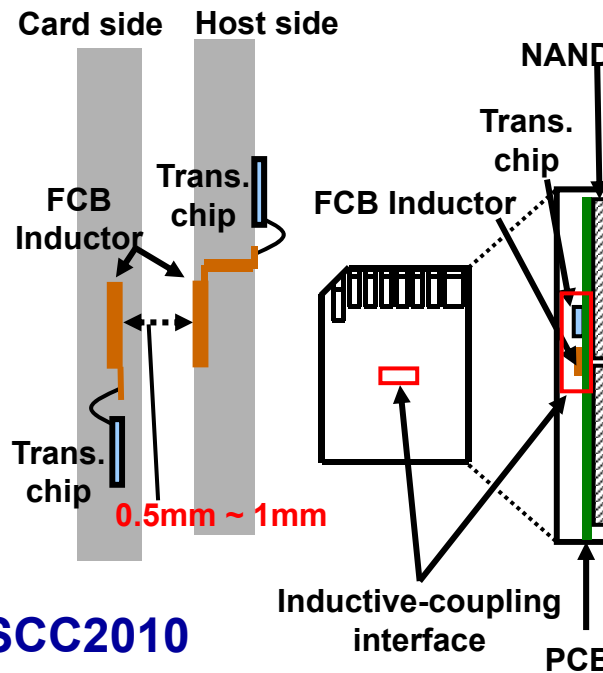
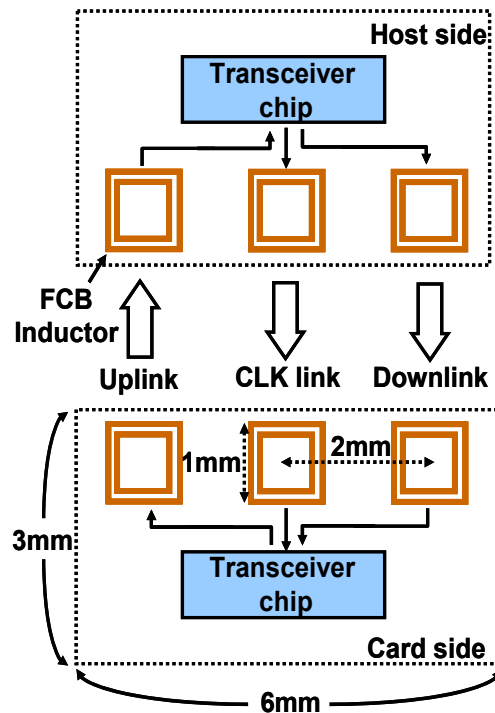
携帯電話をかざすと、映像、音楽、写真を高速にダウン/アップロードできる。

	コイル100個(3cmx3cm)
HD-DVD映像(15GB)	ダウンロード 1.2秒
DVD映像(4.7GB)	ダウンロード 0.4秒
音楽CD(700MB)	ダウンロード 0.06秒
写真メモ리카ード(128MB)	アップロード 0.01秒



磁界結合から
電磁界結合へ

非接触メモリカード

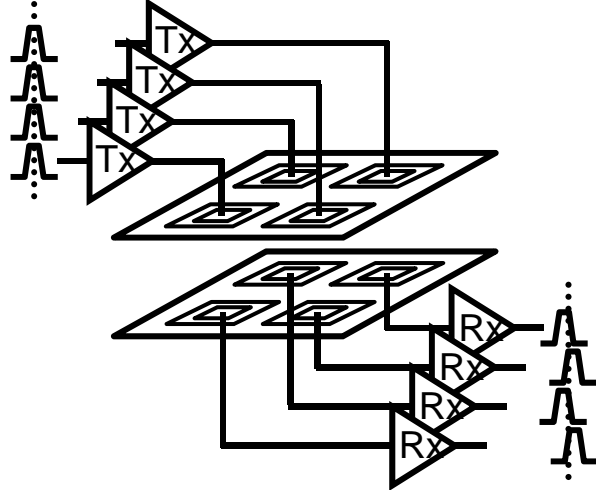


ISSCC2010

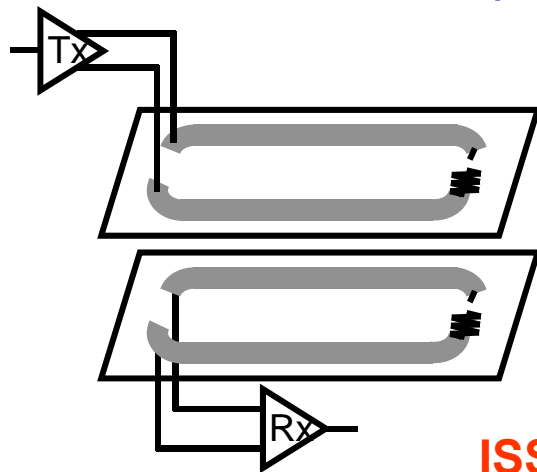
方式	This work	メモリカード (従来)	mm波	TransferJet
通信距離	0.5mm ~ 1mm		<1m	<3cm
転送速度	2.5Gb/s/ch	800Mb/s	4Gb/s	300Mb/s
電力	6pJ/b (15mW)	78pJ/b (62mW)	77pJ (308mW)	2000pJ (600mW)

磁界結合から電磁界結合へ

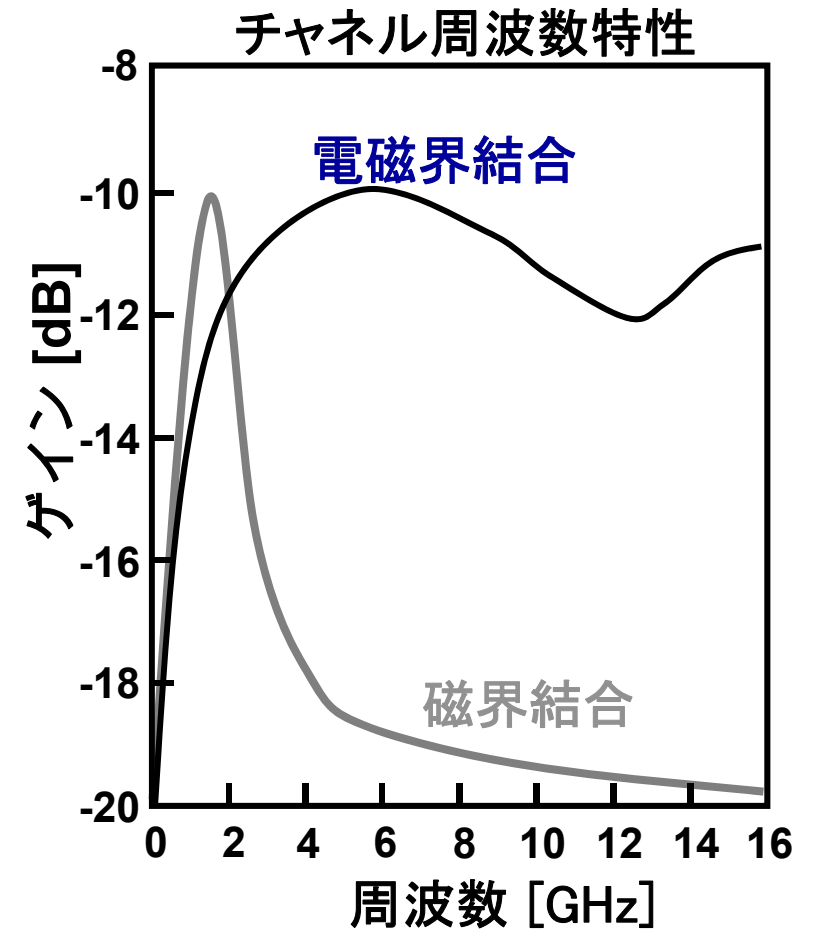
磁界結合チャンネル(数Gbps)で平行通信



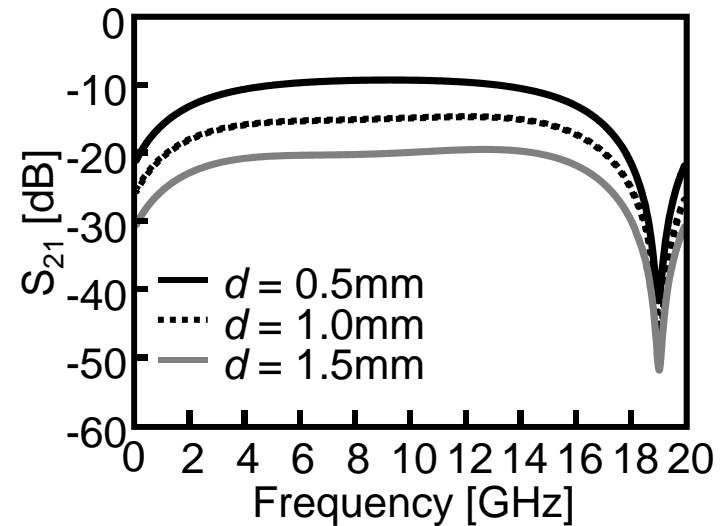
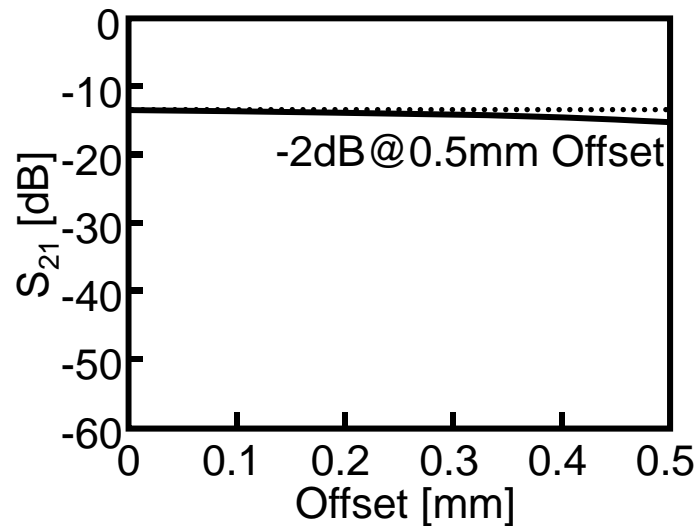
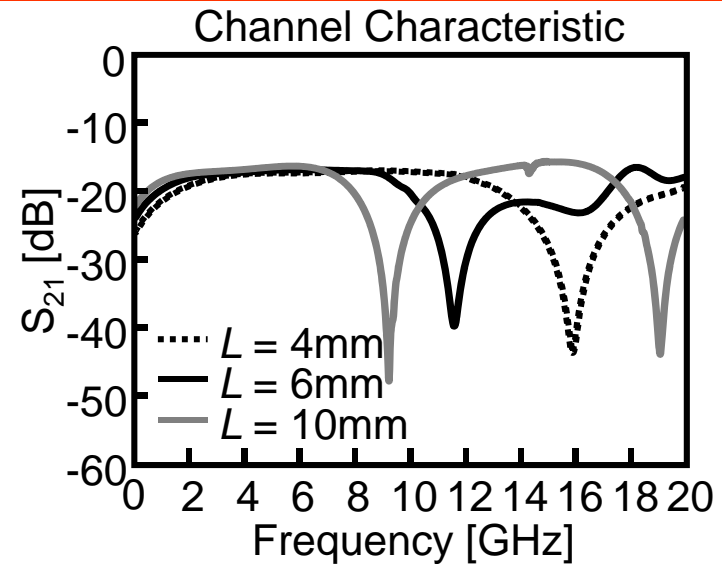
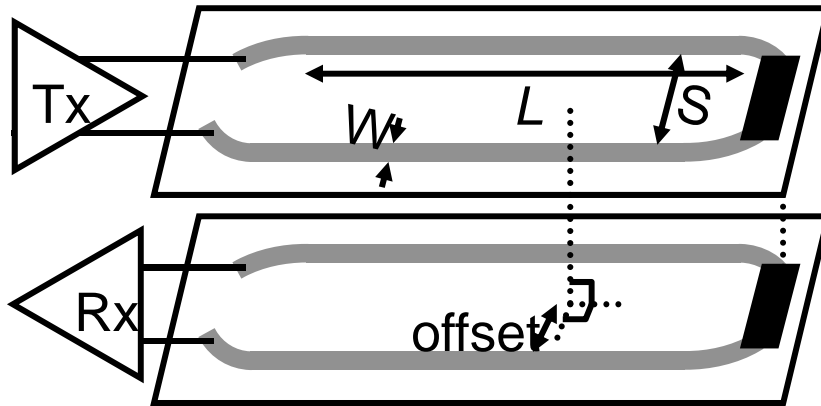
電磁界結合チャンネル(数10Gbps)でシリアル通信



ISSCC2011



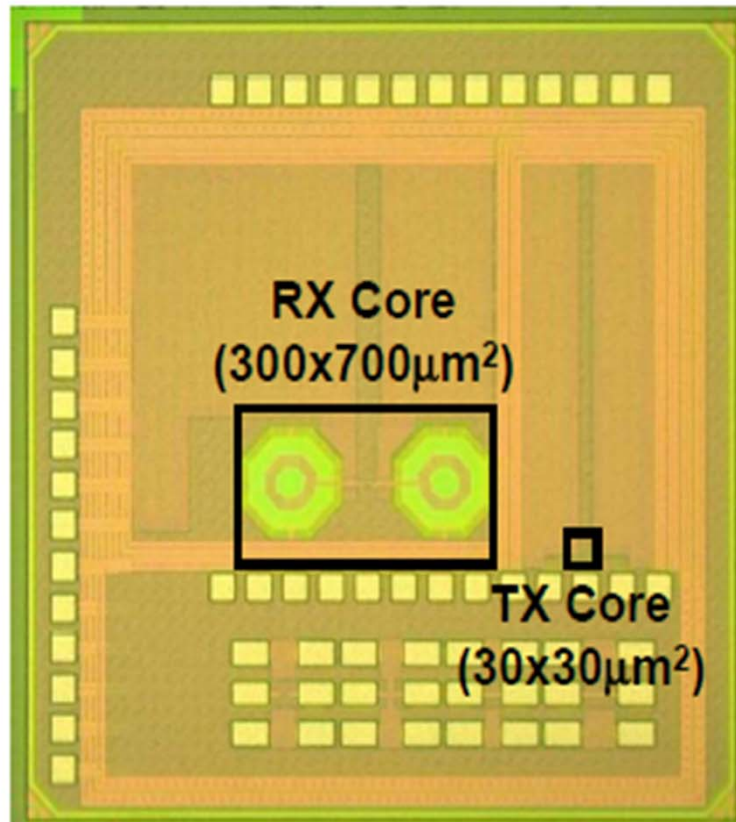
伝送線路結合器



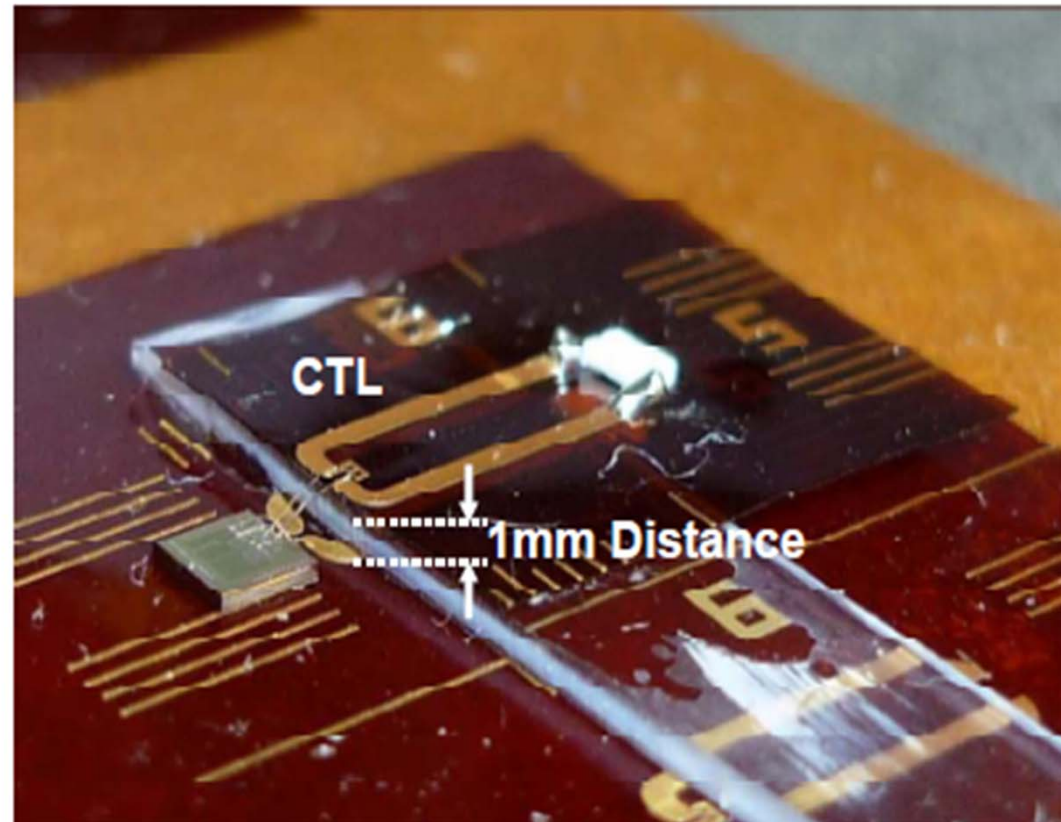
結合器設計パラメータにより任意の帯域を実現可能
 通信距離、合わせずれの変動による帯域変動は非常に小さい

伝送線路型結合器と送受信チップ

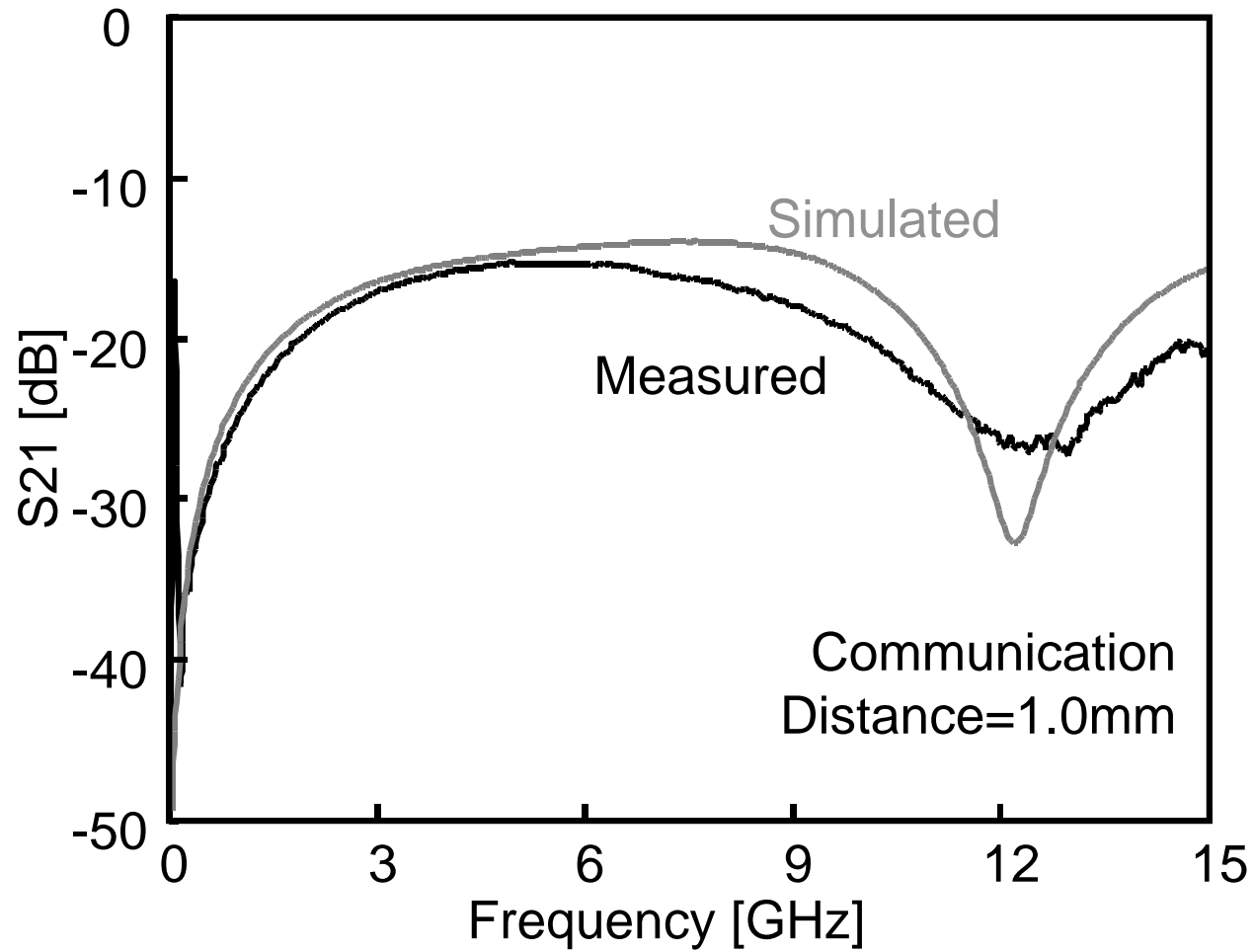
90nm CMOS Interface Chip



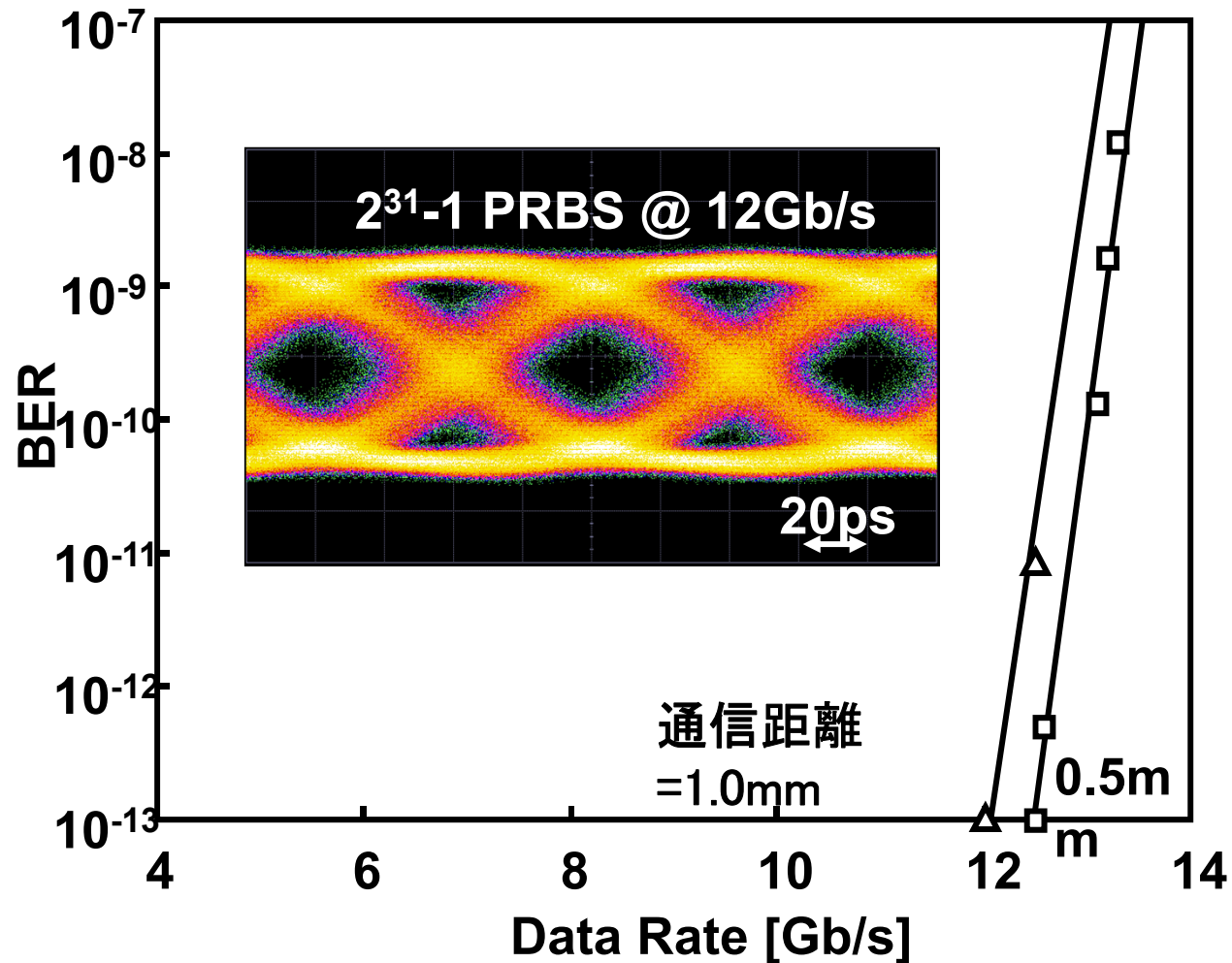
Evaluation Board



通信路特性

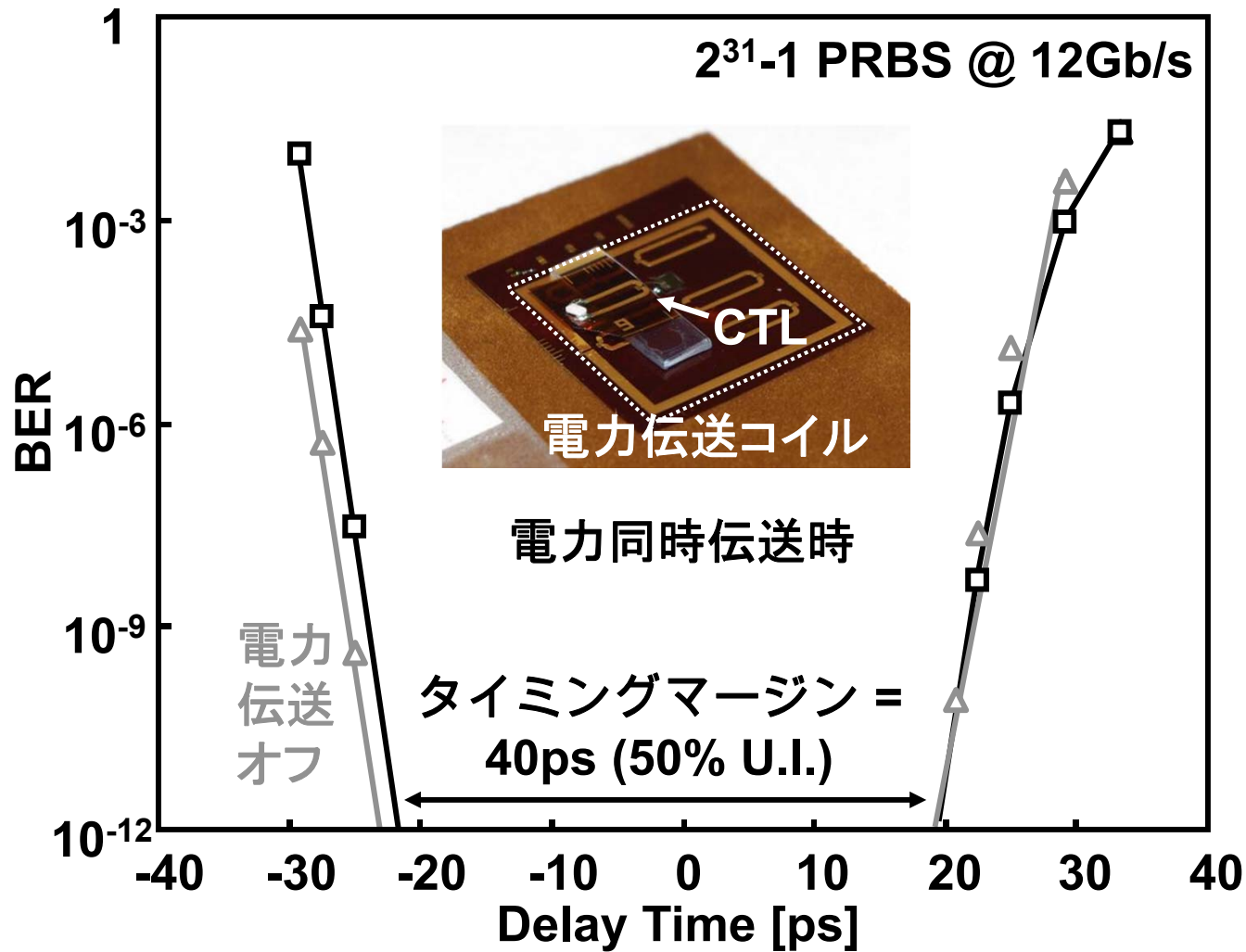


通信実験



12Gbpsのデータレートを達成
さらなる高速化により最終的に25Gbps/ch.を実現予定(2ch.で50Gbps)

無線給電からの影響小

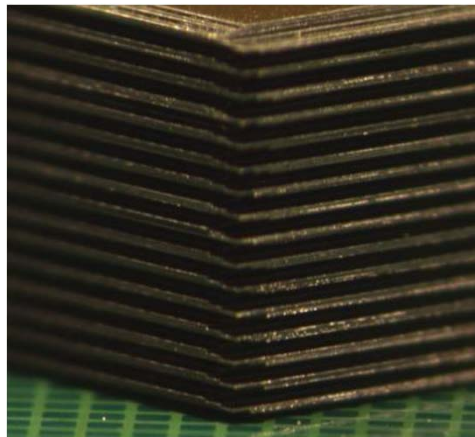


まとめ(1):磁界結合通信

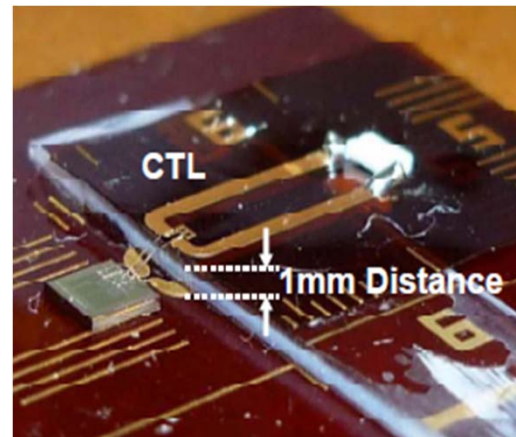
- 1) TSVよりも(チップ当たり20円以上)低コスト。
- 2) 標準CMOS技術とデジタルCMOS回路で実現できる。
- 3) 性能はTSVと比べて引けを取らない。
転送速度:11Gb/s/ch、消費電力:0.14pJ/b、
面積:ほぼゼロ(コイルは隠せる)、信頼性:BER<10⁻¹⁴。
- 4) 近接場無線通信を利用。チャンネルを高密度に面配列しても混信しない。
- 5) ESD保護回路が不要。電力、遅延、面積を低減できる。
- 6) ノイズ耐性が高く、チップの位置ずれにも強い。
- 7) AC結合なので、多電源・可変電源下で使いやすい。
- 8) チップの厚さを薄くすることで性能コスト比を指数関数的に改善できる。
(磁界変化一定のスケーリング則)
- 9) 磁界結合通信は実用できる。
商用レベルのプロセッサとメモリの高速通信をシステムレベルで確認。
- 10) メモリ積層、プロセッサ積層に応用できる。
SSDのパッケージ数を1/8に低減できる。

まとめ(2): 電磁界結合通信

- 1) 電磁界結合を用いた伝送線路結合器を開発。
- 2) 1mmの距離で12Gb/sを達成。
- 3) 携帯電話やメモ리카ードの新しいインタフェースとして利用できる。
- 4) ボードレベルの非接触データ通信に応用展開できる。



チップレベル
3D IC
 μm , 5Tbps, TCI



ボードレベル
非接触コネクタ
mm, 50Gbps, CTL

参考文献

- [1] D. Mizoguchi, et al., "A 1.2Gb/s/pin Wireless Superconnect Based on Inductive Inter-chip Signaling (IIS)," ISSCC, pp.142-143, Feb. 2004.
- [2] N. Miura, et al., "Analysis and Design of Inductive Coupling and Transceiver Circuit for Inductive Inter-Chip Wireless Superconnect," Symposium on VLSI Circuits, pp. 246-249, Jun. 2004.
- [3] N. Miura, et al., "Cross Talk Countermeasures in Inductive Inter-Chip Wireless Superconnect," CICC, pp.99-102, Oct. 2004.
- [4] N. Miura, et al., "A 195Gb/s 1.2W 3D-Stacked Inductive Inter-Chip Wireless Superconnect with Transmit Power Control Scheme," ISSCC, pp.264-265, Feb. 2005.
- [5] N. Miura, et al., "A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link," ISSCC, pp.424-425, Feb. 2006.
- [6] M. Inoue, et al., "Daisy Chain for Power Reduction in Inductive-Coupling CMOS Link," Symposium on VLSI Circuits, pp.80-81, Jun. 2006.
- [7] T. Kuroda, et al., "Perspective of Low-Power and High-Speed Wireless Inter-Chip Communications for SiP Integration," ESSCIRC, pp.3-6, Sep. 2006.
- [8] D. Mizoguchi, et al., "Constant Magnetic Field Scaling in Inductive-Coupling Data Link," SSDM, pp. 606-607, Sep. 2006.
- [9] N. Miura, et al., "A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse Shaping," ISSCC, pp.264-265, Feb. 2007.
- [10] H. Ishikuro, et al., "An Attachable Wireless Chip-Access Interface for Arbitrary Data Rate Using Pulse-Based Inductive-Coupling through LSI Package," ISSCC, pp.266-267, Feb. 2007.
- [11] H. Ishikuro, et al., "Wideband Inductive-coupling Interface for High-performance Portable System," CICC, pp.13-20, Sep. 2007.
- [12] Y. Yoshida, et al., "A 2Gb/s bi-directional inter-chip data transceiver with differential inductors for high density inductive channel array," A-SSCC, pp.127-130, Nov. 2007.
- [13] K. Niitsu, et al., "Interference from Power/Signal Lines and to SRAM Circuits in 65nm CMOS Inductive-Coupling Link," A-SSCC, pp.131-134, Nov. 2007.
- [14] N. Miura, et al., "An 11Gb/s Inductive-Coupling Link with Burst Transmission," ISSCC, pp.298-299, Feb. 2008.
- [15] K. Niitsu, et al., "Misalignment Tolerance in Inductive-Coupling Inter-Chip Link for 3D System Integration," SSDM, pp.86-87, Sep. 2008.
- [16] K. Niitsu, et al., "A 65fJ/b Inductive-Coupling Inter-Chip Transceiver Using Charge Recycling Technique for Power-Aware 3D System Integration," A-SSCC, pp.97-100, Nov. 2008.
- [17] S. Kawai, et al., "A Real-Time On-Chip Bus Trace System Using Quasi-Synchronous Inductive Coupling Transceiver," A-SSCC, pp.113-116, Nov. 2008.
- [18] Y. Sugimori, et al., "A 2Gb/s 15pJ/b/chip Inductive-Coupling Programmable Bus for NAND Flash Memory Stacking," ISSCC, pp.244-245, Feb. 2009.
- [19] Y. Yoshida, et al., "Wireless DC Voltage Transmission Using Inductive-Coupling Channel for Highly-Parallel Wafer-Level Testing," ISSCC, pp.470-472, Feb. 2009.
- [20] K. Niitsu, et al., "An Inductive-Coupling Link for 3D Integration of a 90nm CMOS Processor and a 65nm CMOS SRAM," ISSCC, pp.480-481, Feb. 2009.
- [21] K. Osada, et al., "3D System Integration of Processor and Multi-Stacked SRAMs by Using Inductive-Coupling Links," Symposium on VLSI Circuits, pp.256-257, Jun. 2009.
- [22] Y. Kohama, et al., "A Scalable 3D Processor by Homogeneous Chip Stacking with Inductive-Coupling Link," Symposium on VLSI Circuits, pp.94-95, Jun. 2009.
- [23] S. Kawai, et al., "A 4.7Gb/s Inductive Coupling Interposer with Dual Mode Modem," Symposium on VLSI Circuits, pp.92-93, Jun. 2009.
- [24] Y. Yuxiang, et al., "Digital Rosetta Stone: A Sealed Permanent Memory with Inductive-Coupling Power and Data Link," Symposium on VLSI Circuits, pp.26-27, Jun. 2009.
- [25] M. Saito, et al., "47% Power Reduction and 91% Area Reduction in Inductive-Coupling Programmable Bus for NAND Flash Memory Stacking," CICC, pp. 449-452, Sep. 2009.
- [26] K. Kasuga, et al., "Electromagnetic Interference and Susceptibility in Inductive-Coupling Link," SSDM, pp. 62-63, Oct. 2006.
- [27] M. Saito, et al., "An Extended XY Coil for Noise Reduction in Inductive-Coupling Link," A-SSCC, Nov. 2008.
- [28] K. Kasuga, et al., "A Wafer Test Method of Inductive-Coupling Link," A-SSCC, Nov. 2008.
- [29] N. Miura, et al., "An 8Tb/s 1pJ/b 0.8mm²/Tb/s QDR Inductive-Coupling Interface Between 65nm CMOS GPU and 100nm DRAM," ISSCC, Feb. 2010.
- [30] S. Kawai, et al., "A 2.5Gb/s/ch 4PAM-AGPC Inductive-Coupling Transceiver for Non-Contact Memory Card," ISSCC, Feb. 2010.
- [31] M. Saito, et al., "A 2Gb/s 1.8pJ/b/chip Inductive-Coupling Through-Chip Bus for 128-Die NAND Flash Memory Stacking," ISSCC, Feb. 2010.

